

日本国特許庁  
JAPAN PATENT OFFICE

3-19-02  
J1000 U.S. PTO  
10/053572  
01/24/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 1月26日

出願番号

Application Number:

特願2001-019293

出願人

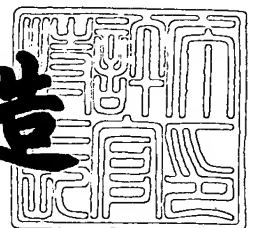
Applicant(s):

株式会社半導体エネルギー研究所

2001年11月26日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3103826

【書類名】 特許願

【整理番号】 P005460

【提出日】 平成13年 1月26日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 大沼 英人

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

絶縁性基板上にシリコンを含む非晶質半導体膜を堆積し、熱処理によりシリコンを含む多結晶半導体膜を成膜する第 1 の工程と、前記多結晶半導体膜に対して不純物イオンをイオンドーピングする第 2 の工程とを備えた半導体装置の作製方法に於いて、前記第 2 の工程は、前処理として、前記多結晶半導体膜の表面にケミカル酸化膜を成膜することを特徴とする半導体装置の作製方法。

【請求項 2】

絶縁性基板上にシリコンを含む非晶質半導体膜を堆積し、熱処理によりシリコンを含む多結晶半導体膜を成膜する第 1 の工程と、前記多結晶半導体膜に対して不純物イオンをイオンドーピングする第 2 の工程とを備えた半導体装置の作製方法に於いて、前記第 2 の工程は、前処理として、前記多結晶半導体膜の表面の不飽和結合を Si-H 結合より結合エネルギーの大きい元素で終端することを特徴とする半導体装置の作製方法。

【請求項 3】

絶縁性基板上にシリコンを含む非晶質半導体膜を堆積し、熱処理によりシリコンを含む多結晶半導体膜を成膜する第 1 の工程と、前記多結晶半導体膜に対して不純物イオンをイオンドーピングする第 2 の工程とを備えた半導体装置の作製方法に於いて、前記第 2 の工程は、前処理として、前記多結晶半導体膜の表面の不飽和結合を酸素で終端することを特徴とする半導体装置の作製方法。

【請求項 4】

絶縁性基板上にシリコンを含む非晶質半導体膜を堆積する第 1 の工程と、前記非晶質半導体膜に対して不純物イオンをイオンドーピングする第 2 の工程とを備えた半導体装置の作製方法に於いて、前記第 2 の工程は、前処理として、前記非晶質半導体膜の表面にケミカル酸化膜を成膜することを特徴とする半導体装置の作製方法。

【請求項 5】

絶縁性基板上にシリコンを含む非晶質半導体膜を堆積する第1の工程と、前記非晶質半導体膜に対して不純物イオンをイオンドーピングする第2の工程とを備えた半導体装置の作製方法に於いて、前記第2の工程は、前処理として、前記非晶質半導体膜の表面の不飽和結合をSi-H結合より結合エネルギーの大きい元素で終端することを特徴とする半導体装置の作製方法。

【請求項6】

絶縁性基板上にシリコンを含む非晶質半導体膜を堆積する第1の工程と、前記非晶質半導体膜に対して不純物イオンをイオンドーピングする第2の工程とを備えた半導体装置の作製方法に於いて、前記第2の工程は、前処理として、前記非晶質半導体膜の表面の不飽和結合を酸素で終端することを特徴とする半導体装置の作製方法。

【請求項7】

絶縁性基板上にシリコンを含む非晶質半導体膜を堆積し、前記非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加し、熱処理によりシリコンを含む結晶質半導体膜を成膜する第1の工程と、前記結晶質半導体膜に対して不純物イオンをイオンドーピングする第2の工程とを備えた半導体装置の作製方法に於いて、前記第2の工程は、前処理として、前記結晶質半導体膜の表面にケミカル酸化膜を成膜することを特徴とする半導体装置の作製方法。

【請求項8】

絶縁性基板上にシリコンを含む非晶質半導体膜を堆積し、前記非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加し、熱処理によりシリコンを含む結晶質半導体膜を成膜する第1の工程と、前記結晶質半導体膜に対して不純物イオンをイオンドーピングする第2の工程とを備えた半導体装置の作製方法に於いて、前記第2の工程は、前処理として、前記結晶質半導体膜の表面の不飽和結合をSi-H結合より結合エネルギーの大きい元素で終端することを特徴とする半導体装置の作製方法。

【請求項9】

絶縁性基板上にシリコンを含む非晶質半導体膜を堆積し、前記非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加し、熱処理によりシリコンを含む結

晶質半導体膜を成膜する第 1 の工程と、前記結晶質半導体膜に対して不純物イオンをイオンドープする第 2 の工程とを備えた半導体装置の作製方法に於いて、前記第 2 の工程は、前処理として、前記結晶質半導体膜の表面の不飽和結合を酸素で終端することを特徴とする半導体装置の作製方法。

【請求項 1 0】

請求項 1 又は 4 又は 7 に於いて、前記ケミカル酸化膜は、オゾン水による処理で成膜されることを特徴とする半導体装置の作製方法。

【請求項 1 1】

請求項 1 又は 4 又は 7 に於いて、前記ケミカル酸化膜は、過酸化水素水による処理で成膜されることを特徴とする半導体装置の作製方法。

【請求項 1 2】

請求項 1 又は 4 又は 7 に於いて、前記ケミカル酸化膜は、酸素雰囲気中の紫外線照射によるオゾン処理で成膜されることを特徴とする半導体装置の作製方法。

【請求項 1 3】

請求項 1 乃至 9 に於いて、前記第 2 の工程でイオンドープされる不純物イオンは、原料ガスに水素を含む材料を使用することを特徴とする半導体装置の作製方法。

【請求項 1 4】

請求項 1 乃至 9 に於いて、前記第 2 の工程によりチャネルドープされることを特徴とする半導体装置の作製方法。

【請求項 1 5】

請求項 7 乃至 9 に於いて、前記触媒元素として、Fe, Co, Ni, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au から選択された少なくとも一つの元素を添加することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、イオンドープ法を利用して作製される薄膜トランジスタ (Thin Film Transistor: 以下、T F T と略記) 等の半導体装置の作製方法に関する。

## 【0002】

## 【従来の技術】

近年、アクティブマトリクス型液晶表示装置の需要が急速に高まり、ガラス基板又は石英基板上に形成した半導体膜でTFTを形成する技術開発が盛んに行われている。ガラス基板等の絶縁性基板上に百数十万個もの単位で形成されるTFTは、構成する電気回路の機能に応じて、所定の電気特性を示すものでなければならない。TFTの電気特性の1つに、 $V_{th}$ というパラメータがある。

## 【0003】

$V_{th}$ とは、TFTのドレイン電流が流れ始める時のゲート電圧で、チャネル領域に反転層が形成される電圧として定義される。従って、 $V_{th}$ が高い程、TFTの動作電圧が高いといえることができる。

## 【0004】

ところで、 $V_{th}$ には、様々な外的要因によって変化し易いという問題がある。例えば、活性層中の汚染不純物、ゲート絶縁膜の固定電荷や可動電荷、活性層／ゲート絶縁膜界面の界面準位、ゲート電極と活性層との仕事関数差等が挙げられる。この場合、活性層中の汚染不純物やゲート絶縁膜中の可動電荷等はプロセスの清浄化により低減できるが、固定電荷や界面準位及び仕事関数差は素子の材質で決定されてしまう為、容易に変更できない。

## 【0005】

上記の外的要因により、TFTの $V_{th}$ はプラス側／或いはマイナス側にシフトして、変化することになる。TFTの作製工程に於いては、変化し易い $V_{th}$ の制御が重要な技術となっており、 $V_{th}$ の制御技術としてチャネルドープ技術が知られている。チャネルドープとは、ゲート絶縁膜下の活性層中に所定濃度の不純物を添加して、意図的にTFTの $V_{th}$ をシフトさせ、所望の $V_{th}$ に制御する技術である。例えば、 $V_{th}$ がマイナス側にシフトしている場合には、ドーパントにp型のイオンを用い、プラス側にシフトしている場合には、ドーパントにn型のイオンを用いて、 $V_{th}$ の制御が行われている。

## 【0006】

このようなチャネルドープには、n型又はp型の不純物イオンをイオンドープす

るイオンドープ法が利用されている。イオンドープ法とは、質量分離せずに不純物イオンを打ち込む方法で、質量分離手段を持たない為、大面積化が容易で、アクティブマトリクス型液晶表示装置の作製に一般に適用されている。尚、イオンドープ法には、p型不純物としてB（ボロン）、Ga（ガリウム）、In（インジウム）が使用され、n型不純物としてP（リン）、As（砒素）、Sb（アンチモン）等が使用されている。

## 【 0 0 0 7 】

## 【発明が解決しようとする課題】

チャネルドープ等のTFTの活性層に不純物イオンをイオンドープする工程に於いては、活性層の表面にシリコン酸化膜又はシリコン酸窒化膜等の保護膜を堆積して、その上から不純物イオンをイオンドープする方法が一般的である。前記保護膜には、以下の効果が期待されている。

## 【 0 0 0 8 】

（その1）保護膜により、イオンドープ工程及びその前後の工程に於ける活性層の汚染を防止できる。

（その2）チャネルドープ等のイオンドープ工程に於いて、イオンによる活性層のエッチングを防止できる。

（その3）チャネルドープ等のイオンドープ工程に於いて、低加速電圧でのイオンドープが困難な場合、保護膜の膜厚でドーパントの深さ方向の濃度分布を制御することにより、活性層中の不純物濃度を所望の濃度分布に制御できる。

## 【 0 0 0 9 】

上記諸々の効果により、活性層の表面には保護膜が堆積されており、保護膜の堆積には、プラズマCVD法や減圧CVD法が一般に適用されている。しかし、プラズマCVD法や減圧CVD法の場合、処理時間が長い為、イオンドープ工程全体から見て、スループットの的に問題となっている。また、プラズマCVD法や減圧CVD法の場合、5nm以下の保護膜を堆積することが困難な為、堆積膜厚が5nm以上となってしまう、イオンドープ後の保護膜除去工程が時間的に長くなる点でもスループットの的に問題である。更には、単なる保護膜の堆積に高価格のプラズマCVD装置や減圧CVD装置が適用されることにより、生産コストが

高コストになる点も問題である。

# 【 0 0 1 0 】

本発明は、上記従来技術の問題点を解決することを課題とする。より特定すれば、T F T 活性層、即ちシリコン系薄膜へのイオンドープ工程に於ける上記スループットの問題を解決することを課題とする。更には、同工程に於ける生産コスト上の問題を解決することを課題とする。

# 【 0 0 1 1 】

【課題を解決する為の手段】

〔チャンネルドープ前処理の実験〕

T F T の活性層は、非晶質シリコン膜又は多結晶シリコン膜、更には触媒元素を利用して成膜した結晶質シリコン膜等のシリコン系薄膜からできている為、オゾン水処理等の簡便な処理工程により、極薄のシリコン酸化膜であるケミカル酸化膜を成膜することが可能である。簡便な処理工程で成膜される当該ケミカル酸化膜が、シリコン系薄膜へのイオンドープ工程の保護膜として機能できれば、上記従来技術が抱える問題点を解決できる為、表 1 の実験条件に基づき以下の実験を行った。

【表 1】

表1. 非晶質シリコン膜へのチャンネルドープ実験条件

| 基板No | 酸化の有無 | ソースガスの水素希釈率                                       |
|------|-------|---|
| 1    | 無し    | 0.1%B <sub>2</sub> H <sub>6</sub> /H <sub>2</sub> |
| 2    | 有り    | 0.1%B <sub>2</sub> H <sub>6</sub> /H <sub>2</sub> |
| 3    | 無し    | 1.0%B <sub>2</sub> H <sub>6</sub> /H <sub>2</sub> |
| 4    | 有り    | 1.0%B <sub>2</sub> H <sub>6</sub> /H <sub>2</sub> |

# 【 0 0 1 2 】

先ず、基板 N o 1 ～ 4 の 4 枚のガラス基板上にプラズマ C V D 法により膜厚 5 3 n m の非晶質シリコン膜を 3 0 0 ℃ の堆積温度で堆積した。当該非晶質シリコ



ン膜には、自然酸化膜が付いている為、希フッ酸で自然酸化膜を除去した。次に、基板No2と基板No4の2枚の基板について、非晶質シリコン膜の全面をオゾン水で酸化することにより、3nm以下のケミカル酸化膜（極薄のシリコン酸化膜）を成膜した。その後、イオンドープ装置を用いて、基板No1～4の4枚の基板について、 $1 \times 10^{13} \text{ions/cm}^2 \sim 1 \times 10^{14} \text{ions/cm}^2$ の範囲でBイオンのドーズ量を振ってイオンドープを行った。尚、Bイオンの原料ガスにはジボラン（ $\text{B}_2\text{H}_6$ ）ガスを水素で希釈したものを用い、希釈率は0.1%と1.0%の場合について実験した。イオンドープ後に、非晶質シリコン膜の残膜厚を測定して、イオンドープ時のエッチング状態を調査した。

## 【0013】

本実験の結果を図1に示す。図1から判る様に、オゾン水処理により非晶質シリコン膜の表面にケミカル酸化膜を成膜しなかった場合には、非晶質シリコン膜がイオンドープ時にエッチングされること、一方、非晶質シリコン膜の表面にケミカル酸化膜を成膜した場合には、非晶質シリコン膜は殆どエッチングされないことが認められた。また、希釈率0.1%のジボランガスの場合、希釈率1.0%のジボランガスに比較して、非晶質シリコン膜のエッチングがより進行していること、即ち水素イオン比率の大きい方が、非晶質シリコン膜のエッチングが激しいことが認められた。従って、非晶質シリコン膜のエッチングは、水素イオンとの反応が関与しているものと考えられる（図1参照）。

## 【0014】

本実験の結果は、オゾン水による3nm以下のケミカル酸化膜が、イオンドープ時の水素イオンによる非晶質シリコン膜のエッチングを抑止できることを示している。このケミカル酸化膜の成膜は、オゾン水による処理に限らず、過酸化水素水による処理でも、酸素雰囲気中の紫外線（UV光）照射による処理でも可能であり、何れの方法で成膜しても、水素イオンによる非晶質シリコン膜のエッチングを抑止できると考えられる。

## 【0015】

本実験に於いては、3nm以下のケミカル酸化膜について検討したが、イオンドープ装置での水素イオン比率が低い場合は、非晶質シリコン膜表面の不飽和結

合を酸素で終端させることでも、ある程度エッチングを抑止できると考えられる。酸素で終端した場合、不飽和結合はSi-O結合になっており、Si-O結合 ( $193.5 \text{ kcal/mol}$ ) の結合エネルギーがSi-H結合 ( $\leq 71.5 \text{ kcal/mol}$ ) に比べて大きい為、水素イオンがSi-O結合に接近しても、水素イオンとの反応が抑制される為である。従って、非晶質シリコン膜表面に存在する不飽和結合をSi-H結合より結合エネルギーの大きい元素で終端することで、非晶質シリコン膜のエッチングを抑止できることが示唆される。

## 【0016】

尚、Si-H結合及びSi-O結合の結合エネルギーは、応用物理データブック（応用物理学会編）の561頁に記載されている2原子分子の結合強度（表10.35）のデーターより抜粋したものである。

## 【0017】

以上の実験により、水素イオンが発生する原料ガスを使用してイオンドープする場合に有効な、以下の発明が導かれる。尚、水素イオンが発生する原料ガスとしては、ジボラン ( $\text{B}_2\text{H}_6$ )、ホスフィン ( $\text{PH}_3$ ) 及びアルシン ( $\text{AsH}_3$ ) 又はこれら材料を水素で希釈したものが挙げられる。また、質量分離手段を有するイオン注入装置でイオン注入する場合は、基本的に質量分離により水素イオンを無くすることができる為、シリコン膜のエッチングは生じないと考えられる。

## 【0018】

（発明1）シリコン系薄膜へのイオンドープ工程に於いて、CVD法による保護膜の成膜に代わって、前処理にシリコン系薄膜表面のケミカル酸化膜成膜工程を導入する。

（発明2）シリコン系薄膜へのイオンドープ工程に於いて、CVD法による保護膜の成膜に代わって、前処理にシリコン系薄膜表面の不飽和結合をSi-H結合 ( $\leq 71.5 \text{ kcal/mol}$ ) より結合エネルギーの大きい元素で終端する工程（以下、不飽和結合終端工程と略記）を導入する。

## 【0019】

## 〔TF Tの作製方法〕

半導体装置であるTF Tの作製方法の視点で、上記従来技術の解決手段を記載

する。本発明の発明特定事項は、シリコン系薄膜へのイオンドープ工程に於いて、CVD法による保護膜の成膜に代わって、前処理にケミカル酸化膜成膜工程又は不飽和結合終端工程を導入することである。シリコン系薄膜へのイオンドープ工程としては、例えばTFT活性層へイオンドープするV<sub>th</sub>制御の為のチャネルドープ工程があり、此处ではチャネルドープ工程の前処理にケミカル酸化膜成膜工程又は不飽和結合終端工程を導入し、TFTを作製する方法を記載する。また、前記前処理工程を含んだチャネルドープ工程をTFTの作製工程に適用する方法として、結晶構造を有する半導体膜上にチャネルドープする場合と、非晶質半導体膜上にチャネルドープする場合とが考えられる為、各TFTの作製方法について以下に記載する。

## 【0020】

〔結晶構造を有する半導体膜に対してチャネルドープする作製方法〕

結晶構造を有する半導体膜に対して、チャネルドープ前処理工程とチャネルドープを適用する作製方法について記載する。尚、結晶構造を有する半導体膜としては、通常が多結晶半導体膜と、触媒元素を利用して結晶化される結晶質半導体膜とが有る為、各場合について記載する。

## 【0021】

(1)多結晶半導体膜に対してチャネルドープする場合

(第1工程) ガラス基板等の絶縁性基板上にシリコンを含む非晶質半導体膜を堆積し、熱処理によりシリコンを含む多結晶半導体膜を成膜する。

(第2工程) 前記多結晶半導体膜に対して、チャネルドープ前処理(ケミカル酸化膜成膜工程又は不飽和結合終端工程)とイオンドープ法によるチャネルドープを行う。

(第3工程) 前記多結晶半導体膜をパターン形成して、TFTの活性層となる半導体層を形成する。

(第4工程) 前記半導体層上にゲート絶縁膜を堆積する。

(第5工程) 前記半導体層上に前記ゲート絶縁膜を挟んでゲート電極を形成する。

(第6工程) 前記ゲート電極をマスクに、前記半導体層に不純物イオンをイオン

ドーピングする。

【 0 0 2 2 】

(2)触媒元素を利用して結晶化された結晶質半導体膜に対してチャネルドーピングする場合

(第1工程) ガラス基板等の絶縁性基板上にシリコンを含む非晶質半導体膜を堆積し、前記非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加し、熱処理によりシリコンを含む結晶質半導体膜を成膜する。

(第2工程) 前記結晶質半導体膜に対して、チャネルドーピング前処理(ケミカル酸化膜成膜工程又は不飽和結合終端工程)とイオンドーピング法によるチャネルドーピングを行う。

(第3工程) 前記結晶質半導体膜をパターン形成して、TFTの活性層となる半導体層を形成する。

(第4工程) 前記半導体層上にゲート絶縁膜を堆積する。

(第5工程) 前記半導体層上に前記ゲート絶縁膜を挟んでゲート電極を形成する。

(第6工程) 前記ゲート電極をマスクに、前記半導体層に不純物イオンをイオンドーピングする。

【 0 0 2 3 】

[非晶質半導体膜に対してチャネルドーピングする作製方法]

非晶質半導体膜に対して、チャネルドーピング前処理工程とチャネルドーピングを適用する作製方法について記載する。尚、前記非晶質半導体膜に対してチャネルドーピングする場合は、その後の結晶化工程で通常が多結晶半導体膜とする場合と、触媒元素を利用して結晶質半導体膜とする場合とが考えられる為、各場合について記載する。

【 0 0 2 4 】

(1)非晶質半導体膜に対してチャネルドーピングし、その後の結晶化工程で通常が多結晶半導体膜とする場合

(第1工程) ガラス基板等の絶縁性基板上にシリコンを含む非晶質半導体膜を堆積する。

(第2工程) 前記非晶質半導体膜に対して、チャネルドーブ前処理(ケミカル酸化膜成膜工程又は不飽和結合終端工程)とイオンドーブ法によるチャネルドーブを行う。

(第3工程) 前記非晶質半導体膜を熱処理し、シリコンを含む多結晶半導体膜を成膜する。当該熱処理により、非晶質半導体膜の多結晶化とチャネルドーブで導入された不純物の活性化を同時に処理する。

(第4工程) 前記多結晶半導体膜をパターン形成して、T F Tの活性層となる半導体層を形成する。

(第5工程) 前記半導体層上にゲート絶縁膜を堆積する。

(第6工程) 前記半導体層上に前記ゲート絶縁膜を挟んでゲート電極を形成する。

(第7工程) 前記ゲート電極をマスクに、前記半導体層に不純物イオンをイオンドーブする。

【 0 0 2 5 】

(2)非晶質半導体膜に対してチャネルドーブし、その後の結晶化工程で触媒元素を利用し て結晶質半導体膜とする場合

(第1工程) ガラス基板等の絶縁性基板上にシリコンを含む非晶質半導体膜を堆積する。

(第2工程) 前記非晶質半導体膜に対して、チャネルドーブ前処理(ケミカル酸化膜成膜工程又は不飽和結合終端工程)とイオンドーブ法によるチャネルドーブを行う。

(第3工程) 前記非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加し、熱処理によりシリコンを含む結晶質半導体膜を成膜する。当該熱処理により、非晶質半導体膜の結晶化とチャネルドーブで導入された不純物の活性化を同時に処理する。

(第4工程) 前記結晶質半導体膜をパターン形成して、T F Tの活性層となる半導体層を形成する。

(第5工程) 前記半導体層上にゲート絶縁膜を堆積する。

(第6工程) 前記半導体層上に前記ゲート絶縁膜を挟んでゲート電極を形成する

（第7工程）前記ゲート電極をマスクに、前記半導体層に不純物イオンをイオンドーピングする。

## 【0026】

上記のTFT作製方法に於いては、多結晶半導体膜と共に結晶質半導体膜が適用されており、当該結晶質半導体膜には結晶化の助長作用を有する触媒元素が使用されている。此处では、結晶化の助長作用を有する触媒元素について説明する。

## 【0027】

触媒元素は結晶化を助長する為に、非晶質シリコン膜に添加されるもので、Ni（ニッケル）等の金属元素が適用されている。Ni元素以外の触媒元素としては、Fe（鉄）、Co（コバルト）、Ru（ルテニウム）、Rh（ロジウム）、Pd（パラジウム）、Os（オスミウム）、Ir（イリジウム）、Pt（白金）、Cu（銅）、Au（金）等の金属元素が代表的である。前記触媒元素は、通常では選択された1つの元素が適用されるが、2以上の元素を組み合わせ適用しても構わない。尚、本発明者らの実験では、Ni元素が最も好適な触媒元素であることが判明している。

## 【0028】

以上の様に、シリコン系薄膜のケミカル酸化膜成膜工程又は不飽和結合終端工程から成るチャネルドーピング前処理工程は、結晶構造を有する半導体膜に対してチャネルドーピングする作製方法にも、非晶質半導体膜に対してチャネルドーピングする作製方法にも適用可能と考えられる。

## 【0029】

尚、本明細書に於いては、シリコンを含む非晶質半導体膜、シリコンを含む結晶質半導体膜、及びシリコンを含む多結晶半導体膜なる技術用語を区別して用いている為、技術用語の定義について明確にする。シリコンを含む非晶質半導体膜とは、結晶化により半導体特性を有するシリコンを含む非晶質膜のことで、非晶質シリコン膜も当然に含まれるが、シリコンを含む非晶質半導体膜は全て含まれる。例えば、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）の形式で記載されるシリコンとゲルマ

ニウムの化合物から成る非晶質膜も含まれる。また、シリコンを含む結晶質半導体膜とは、結晶化の助長作用を有する触媒元素を利用して得られる結晶質半導体膜のことで、通常が多結晶半導体膜と比較し、結晶粒が概略同一方向に配向しており、高い電界効果移動度を有する等の特徴がある為、敢えて多結晶半導体膜と区別して、結晶質半導体膜と記載している。

## 【 0 0 3 0 】

## 【発明の実施の形態】

## 〔実施形態 1〕

本実施形態では、結晶構造を有する半導体膜に対してチャネルドープする T F T 作製方法の例として、触媒元素を利用して結晶化される結晶質シリコン膜に対してチャネルドープする T F T 作製方法を図 2 ～ 3 に基づき具体的に記載する。尚、チャネルドープは、n チャネル型 T F T に対してのみ行うものとする。

## 【 0 0 3 1 】

先ず、ガラス基板 1 0 1 上に膜厚 1 0 0 n m のシリコン酸窒化膜から成る下地膜 1 0 2 をプラズマ C V D 法により堆積し、続けて膜厚 1 5 ～ 7 0 n m 、より好ましくは膜厚 3 0 ～ 6 0 n m の非晶質シリコン膜 1 0 3 を堆積する。本実施形態では、膜厚 5 0 n m の非晶質シリコン膜 1 0 3 をプラズマ C V D 法により堆積した。堆積の際、非晶質シリコン膜 1 0 3 の表面には、空気中の酸素の影響により、自然酸化膜（図示せず）が付いている為、希フッ酸処理により洗浄する。その後、所定時間のオゾン水処理により、非晶質シリコン膜 1 0 3 の表面に極薄のシリコン酸化膜から成るケミカル酸化膜 1 0 4 を成膜する。このケミカル酸化膜 1 0 4 は、後にスピン塗布法により添加される触媒元素を含んだ溶液（以下、触媒元素溶液と略記）である N i 水溶液の濡れ性改善を図る為に行われる。尚、本実施形態では、非晶質シリコン膜 1 0 3 を堆積したが、非晶質シリコン膜 1 0 3 以外にも、シリコンを含む非晶質半導体膜、例えば  $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ ) の形式で記載されるシリコンとゲルマニウムの化合物から成る非晶質半導体膜を適用することも可能である。また、ケミカル酸化膜 1 0 4 は、オゾン水処理により成膜しているが、過酸化水素水による処理でも、酸素雰囲気中の紫外線（U V 光）照射による処理で成膜しても構わない（図 2 - A 参照）。

## 【 0 0 3 2 】

次に、触媒元素溶液であるNi水溶液をスピン塗布法により、非晶質シリコン膜103（厳密にはケミカル酸化膜104）の全面に添加する。Ni水溶液のNi濃度は、重量換算で0.1～50ppm、より好ましくは1～30ppm程度の濃度範囲が好適である。本実施形態では、Ni濃度が10ppmのNi水溶液をスピン塗布法により添加した。スピン塗布の際、基板を回転して、余分なNi水溶液を吹き飛ばして除去し、非晶質シリコン膜103（厳密にはケミカル酸化膜104）の全面に極薄のNi含有層105を成膜する（図2-B参照）。

## 【 0 0 3 3 】

次に、専用の熱処理炉を使用して、窒素雰囲気中で非晶質シリコン膜103を熱処理する。当該熱処理は、結晶化を助長する触媒元素の作用により、450～750℃の温度範囲で熱処理することにより、結晶化が達成されるが、熱処理温度が低いと処理時間を長くしなければならず、生産効率が低下するという一般的性質がある。また、600℃以上の熱処理は、基板として適用するガラス基板の耐熱性の問題が表面化してしまう。従って、ガラス基板を使用する場合には、上記熱処理工程の温度は450～600℃の範囲が妥当である。また、実際の熱処理は、非晶質シリコン膜103の堆積方法によっても、好適な熱処理条件が異なっており、例えば減圧CVD法で堆積した場合は600℃－12時間程度の熱処理が好適であり、プラズマCVD法で堆積した場合は550℃－4時間程度の熱処理で十分なことが判っている。本実施形態に於いては、プラズマCVD法で膜厚50nmの非晶質シリコン膜103を堆積している為、550℃－4時間の熱処理を行うことにより結晶質シリコン膜106を成膜した。この様に、非晶質シリコン膜103の全面にNi水溶液を添加して熱処理する結晶成長法は、Ni元素を添加した非晶質シリコン膜103の表面から縦方向（基板面に対し垂直方向）へ結晶成長が進行する為、発明者らにより縦成長法と命名されている（図2-B参照）。

## 【 0 0 3 4 】

次に、得られた結晶質シリコン膜106の結晶性を改善させる為、結晶質シリコン膜106に対しレーザー照射を行う。結晶質シリコン膜106は電熱炉によ



る熱処理のみでは結晶化が不完全な状態となっており、非晶質成分が不規則に残存している。此处では、結晶化の不完全性を改善する目的で、結晶質シリコン膜106に対しパルス発振型のKrFエキシマレーザー（波長248nm）を適用している。このエキシマレーザーは紫外光を発振する為、被レーザー照射領域に於いて、瞬間的に溶融固化が繰り返される。この為、被レーザー照射領域に於いて、一種の非平衡状態が実現され、Ni元素が非常に移動し易い状態となる。尚、このレーザー照射工程を省略することも可能であるが、当該レーザー照射工程により、結晶性の改善の他に、後のゲッタリング工程の効率を向上させる効果も有している為、当該レーザー照射工程は省略しない方が好ましい（図2-B参照）。

#### 【0035】

次に、得られた結晶質シリコン膜106の表面には、Ni含有層105等の汚染層が付いている為、希フッ酸で洗浄し、結晶質シリコン膜106の表面を清浄化する。その後、チャネルドープの前処理として、所定時間のオゾン水処理により、結晶質シリコン膜106の表面に3nm以下の極薄のシリコン酸化膜から成るケミカル酸化膜107を成膜する。尚、本実施形態に於いては、ケミカル酸化膜107をオゾン水処理により成膜しているが、過酸化水素水による処理で成膜しても良いし、酸素雰囲気中で紫外線（UV光）を照射して、オゾンが発生させて成膜しても良い（図2-C参照）。

#### 【0036】

また、チャネルドープ工程で使用されるイオンドープ装置での水素イオン比率が低い場合は、チャネルドープの前処理として、結晶質シリコン膜106表面の不飽和結合を酸素等のSi-H結合（ $\leq 71.5 \text{ kcal/mol}$ ）より結合エネルギーの大きい元素で終端させることも考えられる。

#### 【0037】

次に、結晶質シリコン膜106のnチャネル型TFETに対応する領域を開口領域とする、チャネルドープ用マスクとなるレジストパターン108を形成する。その後、イオンドープ装置を使用して、前記レジストパターン108をマスクに、結晶質シリコン膜106のnチャネル型TFETに対応する領域にp型不純物で

あるBイオンをイオンドープし、チャネルドープを行う。チャネルドープでは、ジボラン ( $B_2H_6$ ) ガスを水素で希釈したイオンソースが使用されている。チャネルドープは、通常、ジボラン希釈率0.01~1.0%、加速電圧1~50kV、イオン電流10~500nA、ドーズ量 $1 \times 10^{11} \sim 1 \times 10^{14} \text{ ions/cm}^2$ のイオンドープ条件で処理される。尚、本実施形態に於いては、ジボラン希釈率0.1%、加速電圧15kV、イオン電流50nA、ドーズ量 $4 \times 10^{14} \text{ ions/cm}^2$ のチャネルドープ条件でイオンドープした (図2-C参照)。

#### 【0038】

次に、チャネルドープのマスクとなったレジストパターン108を除去する。その後、通常の写真リソグラフィ処理とドライエッチング処理により、結晶質シリコン膜106をパターン形成して、nチャネル型TFTに対応する半導体層109nとpチャネル型TFTに対応する半導体層109pを形成する。此处で、前記半導体層109n、109pの表面には自然酸化膜 (又はチャネルドープの前処理で成膜したケミカル酸化膜107) が成膜されている為、希フッ酸処理により除去する。この様にして、結晶質シリコン膜106から成る半導体層109n、109pの表面を清浄化した後に、プラズマCVD法又は減圧CVD法により、膜厚100nmのシリコン酸化膜から成るゲート絶縁膜110を堆積する (図2-D参照)。

#### 【0039】

次に、ゲート電極材料である導電性膜 (膜厚400nm) をスパッタ法又はCVD法により堆積し、通常の写真リソグラフィ処理とドライエッチング処理によりパターン形成し、nチャネル型TFTに対応するゲート電極111nとpチャネル型TFTに対応するゲート電極111pを形成する。此处で適用されるゲート電極材料としては、後工程である、半導体層109n、109pにイオンドープされる不純物イオンの活性化を兼ねたゲッタリング用の熱処理温度 (550~650℃程度) に耐え得る耐熱性材料が好ましい。耐熱性材料としては、例えばTa (タンタル), Mo (モリブデン), Ti (チタン), W (タングステン), Cr (クロム) 等の高融点金属、及び高融点金属とシリコンの化合物である金属シリサイド、及びn型又はp型の導電性を有する多結晶シリコン等が挙げら

れる。尚、本実施形態では、膜厚400nmのW金属膜を適用している（図2-E参照）。

#### 【0040】

次に、ゲート電極111n, 111pをマスクに、イオンドープ装置を使用して、n型不純物であるPイオンをイオンドープする。当該イオンドープは、加速電圧10～100kV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16}$ ions/cm<sup>2</sup>の条件で処理される。尚、本実施形態に於いては、加速電圧80kV、ドーズ量 $1.7 \times 10^{15}$ ions/cm<sup>2</sup>の条件でイオンドープした。当該イオンドープ処理により、nチャネル型TFETに対応する半導体層109nには、ソース・ドレイン領域として機能するn型の導電型を有する高濃度不純物領域（n+領域）113nと、チャネル領域として機能する実質的に真性な領域112nが形成される。また、pチャネル型TFETに対応する半導体層109pには、n型の導電型を有する高濃度不純物領域（n+領域）113pと、チャネル領域として機能する実質的に真性な領域112pが形成されている（図2-E参照）。

#### 【0041】

次に、pチャネル型TFETに対応する半導体層109pの全域を開口領域とするレジストパターン114を形成する。その後、前記レジストパターン114及びpチャネル型TFETに対応するゲート電極111pをマスクに、イオンドープ装置を使用して、p型不純物であるBイオンをイオンドープする。当該イオンドープは、加速電圧10～100kV、ドーズ量 $2 \times 10^{14} \sim 5 \times 10^{16}$ ions/cm<sup>2</sup>の条件で処理される。尚、本実施形態に於いては、加速電圧60kV、ドーズ量 $2.5 \times 10^{15}$ ions/cm<sup>2</sup>の条件でイオンドープした。当該イオンドープ処理により、pチャネル型TFETに対応するn型の高濃度不純物領域113pの導電型が反転し、ソース・ドレイン領域として機能するp型の導電型を有する高濃度不純物領域（p+領域）115pが形成される（図3-A参照）。

#### 【0042】

次に、前記レジストパターン114を除去した後、膜厚100～300nmの無機膜から成る第1の層間絶縁膜116を堆積する。本実施形態では、膜厚150nmのシリコン酸窒化膜から成る第1の層間絶縁膜116をプラズマCVD法

により堆積している。その後、半導体層109n, 109pにイオンドープされた不純物元素(n型不純物とp型不純物)の熱活性化の為、電熱炉により600℃-12時間の熱処理を行う。当該熱処理は不純物元素の熱活性化処理の為に行うものであるが、チャネル領域として機能する実質的に真性な領域112n, 112pに含まれる不要な触媒元素(Ni元素)のゲッタリング処理も兼ねている。この方法で製造された結晶質シリコン膜を有するTF Tは、チャネル領域の不要な触媒元素(Ni元素)がゲッタリングされることにより、高い電界効果移動度を有しており、またオフ電流の低下等の良好な電気特性を有している。その後、半導体層109n, 109p表面の不飽和結合を終端させる為、410℃-1時間の水素化処理を水素3%含有の窒素雰囲気中で行う(図3-B参照)。

## 【0043】

次に、前記第1の層間絶縁膜116の上に、膜厚1~3 $\mu$ mの透明な有機膜から成る第2の層間絶縁膜117を成膜する。本実施形態では、膜厚1.6 $\mu$ mのアクリル樹脂膜から成る第2の層間絶縁膜117を成膜している。その後、通常のリソグラフィ処理とドライエッチング処理により、第2の層間絶縁膜117と前記第1の層間絶縁膜116、更には前記第1の層間絶縁膜116の下層に存在するゲート絶縁膜110にコンタクトホール118を形成する(図3-C参照)。

## 【0044】

次に、導電性を有する膜厚200~800nmの金属膜を堆積する。本実施形態では、50nm厚のTi膜と500nm厚のAl-Ti合金膜の積層膜をスパッタ法により堆積する。その後、通常のリソグラフィ処理とドライエッチング処理を行い、金属配線119を形成する。当該金属配線119は、前記コンタクトホール118を介してnチャネル型TF Tに対応するソース・ドレイン領域113n、及びpチャネル型TF Tに対応するソース・ドレイン領域115pに各々接続されている(図3-D参照)。

## 【0045】

以上の様に、触媒元素を利用した結晶質シリコン膜に対して、ケミカル酸化膜成膜によるチャネルドープ前処理工程とチャネルドープを適用し、TF Tを作製

することが可能である。チャネルドープの前処理にケミカル酸化膜成膜工程を適用する理由は、チャネルドープ時の結晶質シリコン膜のエッチングを抑止する効果がある為であるが、結晶質シリコン膜表面の不飽和結合を酸素等の  $\text{Si}-\text{H}$  結合 ( $\leq 71.5 \text{ kcal/mol}$ ) より結合エネルギーの大きい元素で終端させることでも、ケミカル酸化膜成膜と同様のエッチング抑止効果が期待される。尚、本実施形態では、触媒元素を利用した結晶質シリコン膜に対して、ケミカル酸化膜成膜によるチャネルドープ前処理工程とチャネルドープを適用しているが、単なる熱処理のみ（触媒元素利用せず）により結晶化される通常が多結晶シリコン膜に対しても、勿論適用可能である。

## 【0046】

## 〔実施形態2〕

本実施形態は、非晶質シリコン膜に対してチャネルドープする TFT 作製方法の例を図4～5に基づき具体的に記載する。此处では、チャネルドープは、 $n$ チャネル型 TFT に対してのみ行うものとし、また、チャネルドープ後の非晶質シリコン膜結晶化工程は、触媒元素を利用して結晶化する場合について記載する。尚、ゲート絶縁膜の堆積以降の工程（実施形態1の図3に示す工程含む）については、基本的に実施形態1と同一である為、省略する。

## 【0047】

先ず、ガラス基板201上に膜厚100nmのシリコン酸窒化膜から成る下地膜202をプラズマCVD法により堆積し、続けて膜厚15～70nm、より好ましくは膜厚30～60nmの非晶質シリコン膜203を堆積する。本実施形態では、膜厚50nmの非晶質シリコン膜203をプラズマCVD法により堆積した。堆積の際、非晶質シリコン膜203の表面には、空気中の酸素の影響により、自然酸化膜（図示せず）が付いている。尚、本実施形態では、非晶質シリコン膜203を堆積したが、非晶質シリコン膜203以外にも、シリコンを含む非晶質半導体膜、例えば  $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ ) の形式で記載されるシリコンとゲルマニウムの化合物から成る非晶質半導体膜を適用することも可能である（図4-A参照）。

## 【0048】

次に、非晶質シリコン膜 2 0 3 の表面に付いている自然酸化膜（図示せず）を希フッ酸で洗浄し、非晶質シリコン膜 2 0 3 の表面を清浄化する。その後、チャネルドープの前処理として、所定時間のオゾン水処理により、非晶質シリコン膜 2 0 3 の表面に 3 nm 以下の極薄のシリコン酸化膜から成るケミカル酸化膜 2 0 4 を成膜する。尚、本実施形態に於いては、ケミカル酸化膜 2 0 4 をオゾン水処理により成膜しているが、過酸化水素水による処理で成膜しても良いし、酸素雰囲気中で紫外線（UV 光）を照射して、オゾンが発生させて成膜しても良い（図 4 - B 参照）。

## 【 0 0 4 9 】

また、チャネルドープ工程で使用されるイオンドープ装置での水素イオン比率が低い場合は、チャネルドープの前処理として、非晶質シリコン膜 2 0 3 表面の不飽和結合を酸素等の Si - H 結合 ( $\leq 71.5 \text{ kcal/mol}$ ) より結合エネルギーの大きい元素で終端させることも考えられる。

## 【 0 0 5 0 】

次に、非晶質シリコン膜 2 0 3 の n チャネル型 TFT に対応する領域を開口領域とする、チャネルドープ用マスクとなるレジストパターン 2 0 5 を形成する。その後、イオンドープ装置を使用して、前記レジストパターン 2 0 5 をマスクに、非晶質シリコン膜 2 0 3 の n チャネル型 TFT に対応する領域に p 型不純物である B イオンをイオンドープし、チャネルドープを行う。チャネルドープでは、ジボラン ( $\text{B}_2\text{H}_6$ ) ガスを水素で希釈したイオンソースが使用されている。チャネルドープは、通常、ジボラン希釈率 0.01 ~ 1.0 %、加速電圧 1 ~ 50 kV、イオン電流 10 ~ 500 nA、ドーズ量  $1 \times 10^{11} \sim 1 \times 10^{14} \text{ ions/cm}^2$  のイオンドープ条件で処理される。尚、本実施形態に於いては、ジボラン希釈率 0.1 %、加速電圧 15 kV、イオン電流 50 nA、ドーズ量  $4 \times 10^{14} \text{ ions/cm}^2$  のチャネルドープ条件でイオンドープした（図 4 - B 参照）。

## 【 0 0 5 1 】

次に、チャネルドープのマスクとなったレジストパターン 2 0 5 を除去する。その後、非晶質シリコン膜 2 0 3 の表面を清浄化する為、希フッ酸処理により洗浄する。その後、所定時間のオゾン水処理により、非晶質シリコン膜 2 0 3 の表

面に極薄のシリコン酸化膜から成るケミカル酸化膜 2 0 6 を成膜する。このケミカル酸化膜 2 0 6 は、後にスピン塗布法により添加される触媒元素溶液である N i 水溶液の濡れ性改善を図る為に行われる。尚、本実施形態に於いては、ケミカル酸化膜 2 0 6 は、オゾン水処理により成膜しているが、過酸化水素水による処理でも、酸素雰囲気中の紫外線（U V 光）照射による処理で成膜しても構わない（図 4 - C 参照）。

## 【 0 0 5 2 】

次に、触媒元素溶液である N i 水溶液をスピン塗布法により、非晶質シリコン膜 2 0 3（厳密にはケミカル酸化膜 2 0 6）の全面に添加する。N i 水溶液の N i 濃度は、重量換算で 0. 1 ~ 5 0 p p m、より好ましくは 1 ~ 3 0 p p m 程度の濃度範囲が好適である。本実施形態では、N i 濃度が 1 0 p p m の N i 水溶液をスピン塗布法により添加した。スピン塗布の際、基板を回転して、余分な N i 水溶液を吹き飛ばして除去し、非晶質シリコン膜 2 0 3（厳密にはケミカル酸化膜 2 0 6）の全面に極薄の N i 含有層 2 0 7 を成膜する（図 4 - C 参照）。

## 【 0 0 5 3 】

次に、専用の熱処理炉を使用して、窒素雰囲気中で非晶質シリコン膜 2 0 3 を熱処理する。本実施形態に於いては、実施形態 1 と同様に、プラズマ C V D 法で膜厚 5 0 n m の非晶質シリコン膜 2 0 3 を堆積している為、5 5 0 ° C - 4 時間の熱処理を行うことにより、縦成長法により結晶質シリコン膜 2 0 8 を成膜した。その後、得られた結晶質シリコン膜 2 0 8 の結晶性を改善させる為、結晶質シリコン膜 2 0 8 に対しレーザー照射を行う。当該レーザー照射により、結晶質シリコン膜 2 0 8 の結晶性は大幅に改善されている。本実施例では、パルス発振型の K r F エキシマレーザー（波長 2 4 8 n m）を適用している。このエキシマレーザーは結晶質シリコン膜 2 0 8 の結晶性の改善のみでなく、N i 元素が非常に移動し易い状態となる為、ゲッタリング源によるゲッタリング効率の向上という作用もある（図 4 - C 参照）。

## 【 0 0 5 4 】

次に、通常の写真リソグラフィ処理とドライエッチング処理により、結晶質シリコン膜 2 0 8 をパターン形成して、n チャネル型 T F T に対応する半導体層

209 n と p チャネル型 T F T に対応する半導体層 209 p を形成する。その後、前記半導体層 209 n, 209 p の表面を清浄化する為、希フッ酸処理により洗浄する。半導体層 209 n, 209 p の表面を清浄化した後に、プラズマ C V D 法又は減圧 C V D 法により、膜厚 100 n m のシリコン酸化膜から成るゲート絶縁膜 210 を堆積する。尚、これ以降の T F T 作製工程については、実施形態 1 と同じである為、省略する（図 4 - D 参照）。

## 【 0 0 5 5 】

## [ T F T の電気特性評価 ]

実施形態 2 の T F T 作製工程に基づき、n チャネル型 T F T を実際に試作し、電気特性の評価を行った。此处では、電気特性の評価結果について記載する。

## 【 0 0 5 6 】

図 5 は n チャネル型 T F T の  $I_D - V_G$ （電流 - 電圧）特性データで、8 個の n チャネル型 T F T を半導体測定装置（4155 B）で測定したものである。図 5 - A は極薄のシリコン酸化膜から成るケミカル酸化膜成膜工程が有る場合のデータで、図 5 - B はケミカル酸化膜成膜工程が無い場合のデータである。尚、測定した n チャネル型 T F T のチャネル長（L）とチャネル幅（W）は、 $L = 7.3 \mu m$  と  $W = 200 \mu m$  である。

## 【 0 0 5 7 】

図 5 から判る様に、ケミカル酸化膜成膜が有る場合には、 $I_D - V_G$  特性の n チャネル型 T F T 毎のばらつきが小さいのに対し、ケミカル酸化膜成膜が無い場合には、 $I_D - V_G$  特性のばらつきが大きい結果が得られた。 $I_D - V_G$  特性ばらつきの原因としては、チャネルドープ時に非晶質シリコン膜が水素イオンでエッチングされ、非晶質シリコン膜の薄膜化が進行し、コンタクト抵抗のばらつきが起こる為と考えられる。

## 【 0 0 5 8 】

上記の  $I_D - V_G$  特性評価結果より、極薄のシリコン酸化膜から成るケミカル酸化膜は、チャネルドープの保護膜として全く問題のないことが認められた。

## 【 0 0 5 9 】

以上の様に、非晶質シリコン膜に対して、ケミカル酸化膜成膜によるチャネル



ドーブ前処理工程とチャネルドーブを適用し、優れた電気特性を有するTFTを作製することが可能である。

## 【0060】

## 【実施例】

## 〔実施例1〕

本実施例は、非晶質シリコン膜に対しケミカル酸化膜を成膜するチャネルドーブ前処理工程を液晶表示装置の製造工程に適用した例であり、図6～10に基づき具体的に記載する。また、チャネルドーブ後の非晶質シリコン膜の結晶化工程は、触媒元素を利用して結晶化する場合を記載する。

## 【0061】

先ず、ガラス基板301上にプラズマCVD法により、各々組成比の異なる第1層目のシリコン酸窒化膜302aを50nmと第2層目のシリコン酸窒化膜302bを100nmの膜厚で堆積し、下地膜302を堆積する。尚、此处で用いるガラス基板301としては、石英ガラスまたはバリウムホウケイ酸ガラスまたはアルミノホウケイ酸ガラス等が有る。次に前記下地膜302（302aと302b）上に、プラズマCVD法により、非晶質シリコン膜303aを55nmの膜厚で堆積する。堆積の際、非晶質シリコン膜303aの表面は、処理雰囲気中に混入した空気中の酸素の影響により極薄の自然酸化膜（図示せず）が付いている。尚、本実施例ではプラズマCVD法で非晶質シリコン膜303aを堆積しているが、減圧CVD法で堆積しても構わない（図6-A参照）。

## 【0062】

また、非晶質シリコン膜303aの堆積に於いては、空気中に存在する炭素、酸素及び窒素が混入する可能性がある。これらの不純物ガスの混入は、最終的に得られるTFT特性の劣化を引き起こすことが経験的に知られており、このことから前記不純物ガスの混入は結晶化の阻害要因として作用すると本発明者らは認識している。従って、前記不純物ガスの混入は徹底的に排除することが好ましく、具体的な濃度範囲としては、炭素及び窒素の場合は共に $5 \times 10^{17} \text{atoms/cm}^3$ 以下とし、酸素の場合は $1 \times 10^{18} \text{atoms/cm}^3$ 以下とするのが好ましい（図6-A参照）。

## 【0063】

次に、非晶質シリコン膜303aの表面に付いている自然酸化膜（図示せず）を希フッ酸で洗浄し、非晶質シリコン膜303aの表面を清浄化する。その後、チャネルドーピングの前処理として、所定時間のオゾン水処理により、非晶質シリコン膜303aの表面に3nm以下の極薄のシリコン酸化膜から成るケミカル酸化膜304を成膜する。尚、本実施例に於いては、ケミカル酸化膜304をオゾン水処理により成膜しているが、過酸化水素水による処理で成膜しても良いし、酸素雰囲気中で紫外線（UV光）を照射して、オゾンが発生させて成膜しても良い（図6-A参照）。

## 【0064】

また、チャネルドーピング工程で使用されるイオンドーピング装置での水素イオン比率が低い場合は、チャネルドーピングの前処理として、非晶質シリコン膜303a表面の不飽和結合を酸素等のSi-H結合（ $\leq 71.5 \text{ kcal/mol}$ ）より結合エネルギーの大きい元素で終端させることも考えられる。

## 【0065】

次に、非晶質シリコン膜303aのnチャネル型TF T401, 403に対応する領域と画素TF T404に対応する領域を開口領域とする、チャネルドーピングマスクとなるレジストパターン305～308を形成する。その後、イオンドーピング装置を使用して、前記レジストパターン305～308をマスクにp型不純物であるBイオンをイオンドーピングし、第1のイオンドーピング処理であるチャネルドーピングを行う。チャネルドーピングでは、ジボラン（ $\text{B}_2\text{H}_6$ ）ガスを水素で希釈したイオンソースが使用されている。チャネルドーピングは、通常、ジボラン希釈率0.01～1.0%、加速電圧1～50kV、イオン電流10～500nA、ドーズ量 $1 \times 10^{11} \sim 1 \times 10^{14} \text{ ions/cm}^2$ のイオンドーピング条件で処理される。尚、本実施例に於いては、ジボラン希釈率0.1%、加速電圧15kV、イオン電流50nA、ドーズ量 $4 \times 10^{14} \text{ ions/cm}^2$ のチャネルドーピング条件でイオンドーピングした（図6-A参照）。

## 【0066】

次に、チャネルドーピングのマスクとなったレジストパターン305～308を除

去する。その後、非晶質シリコン膜303aの表面を清浄化する為、希フッ酸処理により洗浄する。その後、所定時間のオゾン水処理により、非晶質シリコン膜303aの表面に極薄のシリコン酸化膜から成るケミカル酸化膜（図示せず）を成膜する。このケミカル酸化膜（図示せず）は、後にスピン塗布法により添加される触媒元素溶液であるNi水溶液の濡れ性改善を図る為に行われる。尚、本実施例に於いては、ケミカル酸化膜（図示せず）は、オゾン水処理により成膜しているが、過酸化水素水による処理でも、酸素雰囲気中の紫外線（UV光）照射による処理で成膜しても構わない（図6-B参照）。

## 【0067】

次に、非晶質シリコン膜303aの全面に、結晶化の助長作用を有する触媒元素溶液であるNi水溶液を添加する。具体的には、Ni化合物であるニッケル酢酸塩を純水に溶解し、重量換算で10ppmの濃度に調整したNi水溶液をスピン処理法により添加する（図6-B参照）。

## 【0068】

次に、非晶質シリコン膜303a中の含有水素量を5atom%以下に制御する為、当該基板を電熱炉内の窒素雰囲気中で450℃-1時間の条件で熱処理し、非晶質シリコン膜303a中の含有水素の脱水素化処理を行う（図6-B参照）。

## 【0069】

次に、電熱炉に於いて、550℃-4時間の条件で熱処理することにより、非晶質シリコン膜303aの結晶化を行い、結晶質シリコン膜303bを成膜する。その後、得られた結晶質シリコン膜303bの結晶性を改善させる為、結晶質シリコン膜303bに対しレーザー照射を行う。当該レーザー照射により、結晶質シリコン膜303bの結晶性は大幅に改善される。本実施例では、パルス発振型のKrFエキシマレーザー（波長248nm）を適用している。このエキシマレーザーは結晶質シリコン膜303bの結晶性の改善のみでなく、Ni元素が非常に移動し易い状態となる為、ゲッタリング源によるゲッタリング効率の向上という作用も有している（図6-B参照）。

## 【0070】

次に、通常の写真リソグラフィ処理及びドライエッチング処理により、結晶

質シリコン膜303bをパターン形成し、TFTのチャネル領域及びソース・ドレイン領域と成る半導体層309~313を形成する(図7-A参照)。

【0071】

次に、前記半導体層309~313を覆う様に、プラズマCVD法により膜厚100nmのシリコン酸窒化膜から成るゲート絶縁膜314を堆積する。尚、ゲート絶縁膜314の堆積の際、半導体層309~313の表面を清浄化する為、希フッ酸処理により洗浄する。その後、ゲート絶縁膜314上にゲート電極材料である導電性膜をスパッタ法又はCVD法により堆積する。此処で適用されるゲート電極材料としては、後の不純物元素の活性化を兼ねたゲッタリング用の熱処理温度(550~650℃程度)に耐え得る耐熱性材料が好ましい。耐熱性材料としては、例えばTa(タンタル), Mo(モリブデン), Ti(チタン), W(タングステン), Cr(クロム)等の高融点金属、及び高融点金属とシリコンの化合物である金属シリサイド、及びn型又はp型の導電性を有する多結晶シリコン等が挙げられる。尚、本実施例では、膜厚400nmのW膜から成るゲート電極膜315をスパッタ法により堆積した(図7-B参照)。

【0072】

上記構造の基板上に、ゲート電極形成用のフォトリソグラフィ処理とドライエッチング処理を行うことにより、ゲート電極322~325と保持容量用电極326とソース配線として機能する電極327を形成する。ドライエッチングの後、ゲート電極322~325上にはドライエッチングのマスクであるレジストパターン316~319が残膜し、同様に保持容量用电極326上にレジストパターン320とソース配線として機能する電極327上にレジストパターン321が残膜している。尚、ドライエッチングに伴い、下地のシリコン酸窒化膜から成るゲート絶縁膜314は膜減りにより、ゲート絶縁膜328の形状に変形している(図8-A参照)。

【0073】

次に、レジストパターン316~321を残した状態で、ゲート電極322~325と保持容量用电極326をマスクに、イオンドープ装置を用いて、第2のイオンドープ処理である低濃度n型不純物のイオンドープを行う。当該イオンド

ープは、n型不純物であるPイオンを用い、加速電圧10～100kV、ドーズ量 $3 \times 10^{12} \sim 3 \times 10^{13} \text{ ions/cm}^2$ の条件で処理される。この第2のイオンドーピング処理により、ゲート電極322～325と保持容量用電極326の外側に対応する半導体層309～313に、n型不純物の低濃度不純物領域（n-領域）334～338が形成される。同時に、ゲート電極322～325の真下には、TFTのチャネルとして機能する実質的に真性な領域329～332が形成される。また、保持容量用電極326の真下の半導体層313には、当該領域がTFT形成領域でなく、保持容量405の形成領域である為、容量形成用電極の片側として機能する真性な領域333が形成される（図8-A参照）。

## 【0074】

次に、当該基板を専用の剥離液で洗浄することにより、ドライエッチングのマスクとなったレジストパターン316～321を除去する。除去した後、駆動回路406に於けるnチャネル型TFT401、403と画素領域407に於ける画素TFT404をLDD構造にする為、当該領域に存在するゲート電極322、324～325を被覆する様に、第3のイオンドーピング処理のマスクとなるn+領域形成用のレジストパターン339～341を形成する。そして、第3のイオンドーピング処理である、高濃度n型不純物のイオンドーピングを行う。当該イオンドーピングは、加速電圧10～100kV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} \text{ ions/cm}^2$ の条件で処理される。尚、本実施形態に於いては、加速電圧80kV、ドーズ量 $1.7 \times 10^{15} \text{ ions/cm}^2$ の条件でイオンドーピングした。当該イオンドーピング処理により、前記レジストパターン339～341の外側領域に対応する半導体層309、311～312にn型不純物の高濃度不純物領域（n+領域）342、344～345が形成される。この高濃度不純物領域（n+領域）342、344～345の形成に伴い、既に形成した低濃度不純物領域（n-領域）334、336～337は、高濃度不純物領域（n+領域）342、344～345と低濃度不純物領域（n-領域）347～349に分離され、LDD構造となるソース・ドレイン領域が形成される（図8-B参照）。

## 【0075】

この際、LDD構造形成領域以外の領域である駆動回路406のpチャネル型

TFT402の領域と画素領域407の保持容量405の領域に於いては、ゲート電極323と保持容量用電極326をマスクに各々イオンドープされる為、ゲート電極323の外側領域に対応する半導体層310にn型不純物の高濃度不純物領域(n+領域)343が形成され、保持容量用電極326の外側領域に対応する半導体層313にもn型不純物の高濃度不純物領域(n+領域)346が形成されている(図8-B参照)。

## 【0076】

次に、通常のフォトリソグラフィ処理により、pチャネル型TFT402に対応する半導体層310の領域と保持容量405に対応する半導体層313の領域を開口領域とするレジストパターン350~352を形成する。その後、前記レジストパターン350~352をマスクに、イオンドープ装置を用いて、第4のイオンドープ処理である高濃度p型不純物のイオンドープを行う。当該イオンドープ処理により、pチャネル型TFT402に対応する半導体層310には、ゲート電極323をマスクにp型不純物であるBイオンがイオン注入される。この結果、ゲート電極323の外側領域に対応する半導体層310に、p型の導電型を有する高濃度不純物領域(p+領域)353が形成される。前記高濃度不純物領域(p+領域)353には、既にn型不純物であるPイオンがイオンドープされているが、B元素のドーズ量が $2.5 \times 10^{15} \text{ atoms/cm}^2$ となる様に高濃度にイオンドープされる為、p型の導電型を有し、ソース・ドレイン領域として機能する高濃度不純物領域(p+領域)353が形成される。また、保持容量405の形成領域に於いても、保持容量用電極326の外側領域に対応する半導体層313にp型の導電型を有する高濃度不純物領域(p+領域)354が同様に形成される(図9-A参照)。

## 【0077】

次に、前記レジストパターン350~352を除去した後、膜厚150nmのシリコン酸窒化膜から成る第1の層間絶縁膜355をプラズマCVD法により堆積する。その後、半導体層309~313にイオンドープされた不純物イオン(PイオンとBイオン)の熱活性化の為、電熱炉に於いて、600℃-12時間の熱処理を行う。当該熱処理は不純物イオンの熱活性化処理の為に行うものである

が、チャネル領域として機能する実質的に真性な領域 3 2 9 ~ 3 3 2 及び容量形成用電極の片側として機能する真性な領域 3 3 3 に存在する N i 元素を前記不純物イオンによりゲッタリングする目的も兼ねている。尚、前記熱活性化処理を第 1 の層間絶縁膜 3 5 5 の堆積前に行っても良いが、ゲート電極等の配線材料の耐熱性が弱い場合は、第 1 の層間絶縁膜 3 5 5 の堆積後に行う方が好ましい。その後、半導体層 3 0 9 ~ 3 1 3 の不飽和結合を終端させる為、4 1 0 °C - 1 時間の水素化処理を水素 3 % 含有の窒素雰囲気中で行う (図 9 - B 参照)。

## 【 0 0 7 8 】

次に、前記第 1 の層間絶縁膜 3 5 5 の上に、膜厚 1 . 6  $\mu$ m のアクリル樹脂膜から成る第 2 の層間絶縁膜 3 5 6 を成膜する。その後、通常の写真リソグラフィ処理とドライエッチング処理により、第 2 の層間絶縁膜 3 5 6 と第 1 の層間絶縁膜 3 5 5 、更に下層膜であるゲート絶縁膜 3 2 8 を貫通する様に、コンタクトホールを形成する。この際、コンタクトホールは、ソース配線として機能する電極 3 2 7 及び高濃度不純物領域 3 4 2 , 3 4 4 ~ 3 4 5 , 3 5 3 ~ 3 5 4 と接続する様に形成される (図 1 0 - A 参照)。

## 【 0 0 7 9 】

次に、駆動回路 4 0 6 の高濃度不純物領域 3 4 2 , 3 4 4 , 3 5 3 と電氣的に接続する様に、導電性の金属配線 3 5 7 ~ 3 6 2 を形成する。また、画素領域 4 0 7 の接続電極 3 6 3 , 3 6 5 ~ 3 6 6 とゲート配線 3 6 4 を同じ導電性材料で形成する。本実施例では、金属配線 3 5 7 ~ 3 6 2 、接続電極 3 6 3 , 3 6 5 ~ 3 6 6 及びゲート配線 3 6 4 の構成材料として、膜厚 5 0 nm の T i 膜と膜厚 5 0 0 nm の A l - T i 合金膜の積層膜を適用している。そして、接続電極 3 6 3 は、不純物領域 3 4 5 とソース配線として機能する電極 3 2 7 とを電氣的に接続する様に形成されている。接続電極 3 6 5 は、画素 T F T 4 0 4 の不純物領域 3 4 5 と電氣的に接続する様に形成されており、接続電極 3 6 6 は保持容量 4 0 5 の不純物領域 3 5 4 と電氣的に接続する様に形成されている。また、ゲート配線 3 6 4 は、画素 T F T 4 0 4 の複数のゲート電極 3 2 5 を電氣的に接続する様に形成されている。その後、膜厚 8 0 ~ 1 2 0 nm の I T O (Indium-Ti-Oxide) 等の透明導電膜を堆積した後、写真リソグラフィ処理とエッチング処理により

、画素電極 3 6 7 を形成する。画素電極 3 6 7 は、接続電極 3 6 5 を介して、画素 T F T 4 0 4 のソース・ドレイン領域である不純物領域 3 4 5 と電氣的に接続されており、更に接続電極 3 6 6 を介して、保持容量 4 0 5 の不純物領域 3 5 4 ととも電氣的に接続されている（図 1 0 - B 参照）。

## 【 0 0 8 0 】

本実施例に示す様に、L D D 構造の n チャンネル型 T F T とシングルドレイン構造の p チャンネル型 T F T を有するアクティブマトリクス型液晶表示装置の製造工程に、ケミカル酸化膜成膜によるチャンネルドーピング前処理工程を適用することが可能である。

## 【 0 0 8 1 】

## 〔実施例 2〕

本発明は、T F T 等の半導体装置の作製方法に関するものであり、様々なアクティブマトリクス型の液晶表示装置及び E L 表示装置の製造に本発明を適用することが可能である。従って、本発明は、様々な分野のアクティブマトリクス型の液晶表示装置及び E L 表示装置を組み込んだ電子機器の製造に適用可能であり、此处では電子機器の具体例を図 1 1 ～ 1 3 に基づき記載する。尚、電子機器としては、ビデオカメラとデジタルカメラとプロジェクター（リア型またはフロント型）とヘッドマウントディスプレイ（ゴーグル型ディスプレイ）とゲーム機とカーナビゲーションとパーソナルコンピュータと携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍等）等が挙げられる。

## 【 0 0 8 2 】

図 1 1 - A は、本体 1 0 0 1 と映像入力部 1 0 0 2 と表示装置 1 0 0 3 とキーボード 1 0 0 4 で構成されたパーソナルコンピュータである。本発明を表示装置 1 0 0 3 及び他の回路に適用することができる。

## 【 0 0 8 3 】

図 1 1 - B はビデオカメラであり、本体 1 1 0 1 と表示装置 1 1 0 2 と音声入力部 1 1 0 3 と操作スイッチ 1 1 0 4 とバッテリー 1 1 0 5 と受像部 1 1 0 6 で構成される。本発明を表示装置 1 1 0 2 及び他の回路に適用することができる。

## 【 0 0 8 4 】



図11-Cはモバイルコンピュータ（モービルコンピュータ）であり、本体1201とカメラ部1202と受像部1203と操作スイッチ1204と表示装置1205で構成される。本発明を表示装置1205及び他の回路に適用することができる。

【0085】

図11-Dはゴーグル型ディスプレイであり、本体1301と表示装置1302とアーム部1303で構成される。本発明を表示装置1302及び他の回路に適用することができる。

【0086】

図11-Eはプログラムを記録した記録媒体（以下、記録媒体と略記）に用いるプレーヤーであり、本体1401と表示装置1402とスピーカー部1403と記録媒体1404と操作スイッチ1405で構成される。尚、この装置は記録媒体としてDVD及びCD等が用いられ、音楽鑑賞またはゲームまたはインターネットに利用可能である。本発明を表示装置1402及び他の回路に適用することができる。

【0087】

図11-Fは携帯電話であり、表示用パネル1501と操作用パネル1502と接続部1503と表示部1504と音声出力部1505と操作キー1506と電源スイッチ1507と音声入力部1508とアンテナ1509で構成される。表示用パネル1501と操作用パネル1502は、接続部1503で接続されている。表示用パネル1501の表示部1504が設置されている面と操作用パネル1502の操作キー1506が設置されている面との角度 $\theta$ は、接続部1503に於いて任意に変えることができる。本発明を表示部1504に適用することができる。

【0088】

図12-Aはフロント型プロジェクターであり、光源光学系及び表示装置1601とスクリーン1602で構成される。本発明を表示装置1601及び他の回路に適用することができる。

【0089】

図12-Bはリア型プロジェクターであり、本体1701と光源光学系及び表示装置1702とミラー1703～1704とスクリーン1705で構成される。本発明を表示装置1702及び他の回路に適用することができる。

## 【0090】

尚、図12-Cは、図12-Aの光源光学系及び表示装置1601と図12-Bの光源光学系及び表示装置1702に於ける構造の一例を示した図である。光源光学系及び表示装置1601、1702は、光源光学系1801とミラー1802、1804～1806とダイクロイックミラー1803と光学系1807と表示装置1808と位相差板1809と投射光学系1810で構成される。投射光学系1810は、投射レンズを備えた複数の光学レンズで構成される。この構成は、表示装置1808を3個使用している為、三板式と呼ばれている。また同図の矢印で示した光路に於いて、実施者は光学レンズ及び偏光機能を有するフィルムまたは位相差を調整する為のフィルムまたはIRフィルム等を適宜に設けても良い。

## 【0091】

また図12-Dは、図12-Cに於ける光源光学系1801の構造の一例を示した図である。本実施例に於いては、光源光学系1801はリフレクター1811と光源1812とレンズアレイ1813～1814と偏光変換素子1815と集光レンズ1816で構成される。尚、同図に示した光源光学系は一例であり、この構成に限定されない。例えば、実施者は光源光学系に光学レンズ及び偏光機能を有するフィルムまたは位相差を調整するフィルムまたはIRフィルム等を適宜に設けても良い。

## 【0092】

次の図13-Aは、単板式の例を示したものである。同図に示した光源光学系及び表示装置は、光源光学系1901と表示装置1902と投射光学系1903と位相差板1904で構成される。投射光学系1903は、投射レンズを備えた複数の光学レンズで構成される。同図に示した光源光学系及び表示装置は図12-Aと図12-Bに於ける光源光学系及び表示装置1601、1702に適用できる。また光源光学系1901は図12-Dに示した光源光学系を用いれば良い。

。尚、表示装置 1 9 0 2 にはカラーフィルター（図示しない）が設けられており、表示映像をカラー化している。

【 0 0 9 3 】

また図 1 3 - B に示した光源光学系及び表示装置は図 1 3 - A の応用例であり、カラーフィルターを設ける代わりに、R G B の回転カラーフィルター円板 1 9 0 5 を用いて表示映像をカラー化している。同図に示した光源光学系及び表示装置は図 1 2 - A と図 1 2 - B に於ける光源光学系及び表示装置 1 6 0 1 , 1 7 0 2 に適用できる。

【 0 0 9 4 】

また図 1 3 - C に示した光源光学系及び表示装置は、カラーフィルターレス単板式と呼ばれている。この方式は、表示装置 1 9 1 6 にマイクロレンズアレイ 1 9 1 5 を設け、ダイクロイックミラー（緑）1 9 1 2 とダイクロイックミラー（赤）1 9 1 3 とダイクロイックミラー（青）1 9 1 4 を用いて表示映像をカラー化している。投射光学系 1 9 1 7 は、投射レンズを備えた複数の光学レンズで構成される。同図に示した光源光学系及び表示装置は、図 1 2 - A と図 1 2 - B に於ける光源光学系及び表示装置 1 6 0 1 , 1 7 0 2 に適用できる。また光源光学系 1 9 1 1 としては、光源の他に結合レンズ及びコリメーターレンズを用いた光学系を用いれば良い。

【 0 0 9 5 】

以上の様に、本発明の半導体装置の作製方法は、その適用範囲が極めて広く、本発明は様々な分野のアクティブマトリクス型の液晶表示装置及び E L 表示装置を組み込んだ電子機器に適用可能である。

【 0 0 9 6 】

【発明の効果】

本発明は、T F T 等の半導体装置の作製方法に関し、特に T F T 活性層等のシリコン系薄膜へイオンドープする際の前処理に関するもので、以下の効果を有している。

（効果 1）イオンドープ工程の前処理がケミカル酸化膜成膜等の簡便なプロセスで可能となった為、イオンドープ工程全体のスループットの向上を図ることがで

きる。

(効果2) イオンドープ工程の前処理に高価格なプラズマCVD装置や減圧CVD装置が不要となる為、生産コストの低減に有効である。

【図面の簡単な説明】

【図1】 非晶質シリコン残膜圧のドーズ量依存性を示す実験データである。

【図2】 TFTの作製工程（結晶質シリコン膜にチャネルドーブする場合）を示す断面図である。

【図3】 TFTの作製工程（結晶質シリコン膜にチャネルドーブする場合）を示す断面図である。

【図4】 TFTの作製工程（非晶質シリコン膜にチャネルドーブする場合）を示す断面図である。

【図5】 nチャネル型TFTの $I_D-V_G$ （電流-電圧）特性データである。

【図6】 アクティブマトリクス型液晶表示装置の製造工程を示す断面図である。

【図7】 アクティブマトリクス型液晶表示装置の製造工程を示す断面図である。

【図8】 アクティブマトリクス型液晶表示装置の製造工程を示す断面図である。

【図9】 アクティブマトリクス型液晶表示装置の製造工程を示す断面図である。

【図10】 アクティブマトリクス型液晶表示装置の製造工程を示す断面図である。

【図11】 液晶表示装置を組み込んだ電子機器の例を示す装置概略図である。

【図12】 液晶表示装置を組み込んだ電子機器の例を示す装置概略図である。

【図13】 液晶表示装置を組み込んだ電子機器の例を示す装置概略図である。

【符号の説明】

101 : ガラス基板

102 : 下地膜

- 103 : 非晶質シリコン膜
- 104 : ケミカル酸化膜
- 105 : N i 含有層
- 106 : 結晶質シリコン膜
- 107 : ケミカル酸化膜
- 108 : レジストパターン
- 109n~109p : 半導体層
- 110 : ゲート絶縁膜
- 111n~111p : ゲート電極
- 112n~112p : 実質的に真性な領域
- 113n~113p : 高濃度不純物領域 ( n + 領域)
- 114 : レジストパターン
- 115p : 高濃度不純物領域 ( p + 領域)
- 116 : 第 1 の層間絶縁膜
- 117 : 第 2 の層間絶縁膜
- 118 : コンタクトホール
- 119 : 金属配線
  
- 201 : ガラス基板
- 202 : 下地膜
- 203 : 非晶質シリコン膜
- 204 : ケミカル酸化膜
- 205 : レジストパターン
- 206 : ケミカル酸化膜
- 207 : N i 含有層
- 208 : 結晶質シリコン膜
- 209n~209p : 半導体層
- 210 : ゲート絶縁膜
- 211n~211p : ゲート電極

212n~212p : 実質的に真性な領域

213n~213p : 高濃度不純物領域 (n + 領域)

301 : ガラス基板

302 : 下地膜

302a : 第 1 層目のシリコン酸窒化膜

302b : 第 2 層目のシリコン酸窒化膜

303a : 非晶質シリコン膜

303b : 結晶質シリコン膜

304 : ケミカル酸化膜

305 ~ 308 : レジストパターン (チャネルドープ用)

309 ~ 313 : 半導体層

314 : ゲート絶縁膜 (シリコン酸窒化膜)

315 : ゲート電極膜 (W膜)

316 ~ 321 : レジストパターン (ゲート電極及び他の電極形成用)

322 ~ 325 : ゲート電極

326 : 保持容量用电極

327 : 電極 (ソース配線として機能)

328 : ゲート絶縁膜 (ゲート電極ドライエッチング後)

329 ~ 332 : 実質的に真性な領域 (チャネル領域として機能)

333 : 真性な領域 (容量形成用电極の片側として機能)

334 ~ 338 : n型不純物の低濃度不純物領域 (n - 領域)

339 ~ 341 : レジストパターン (n + 領域形成用)

342 ~ 346 : n型不純物の高濃度不純物領域 (n + 領域)

347 ~ 349 : n型不純物の低濃度不純物領域 (n - 領域)

350 ~ 352 : レジストパターン (p + 領域形成用)

353 : p 導電型の高濃度不純物領域 (p + 領域) (ソース・ドレイン領域として機能)

354 : p 導電型の高濃度不純物領域 (p + 領域) (容量形成用电極の片側として機能)

機能)

355 : 第 1 の層間絶縁膜 (シリコン酸窒化膜)

356 : 第2の層間絶縁膜 (アクリル樹脂膜)

357 ~ 362 : 金属配線 (Ti 膜と Al - Ti 合金膜の積層膜)

363 : 接続電極

364 : ゲート配線

365 ~ 366 : 接続電極

367 : 画素電極 (ITO 膜)

401 : nチャネル型 TFT

402 : pチャネル型 TFT

403 : nチャネル型 TFT

404 : 画素 TFT

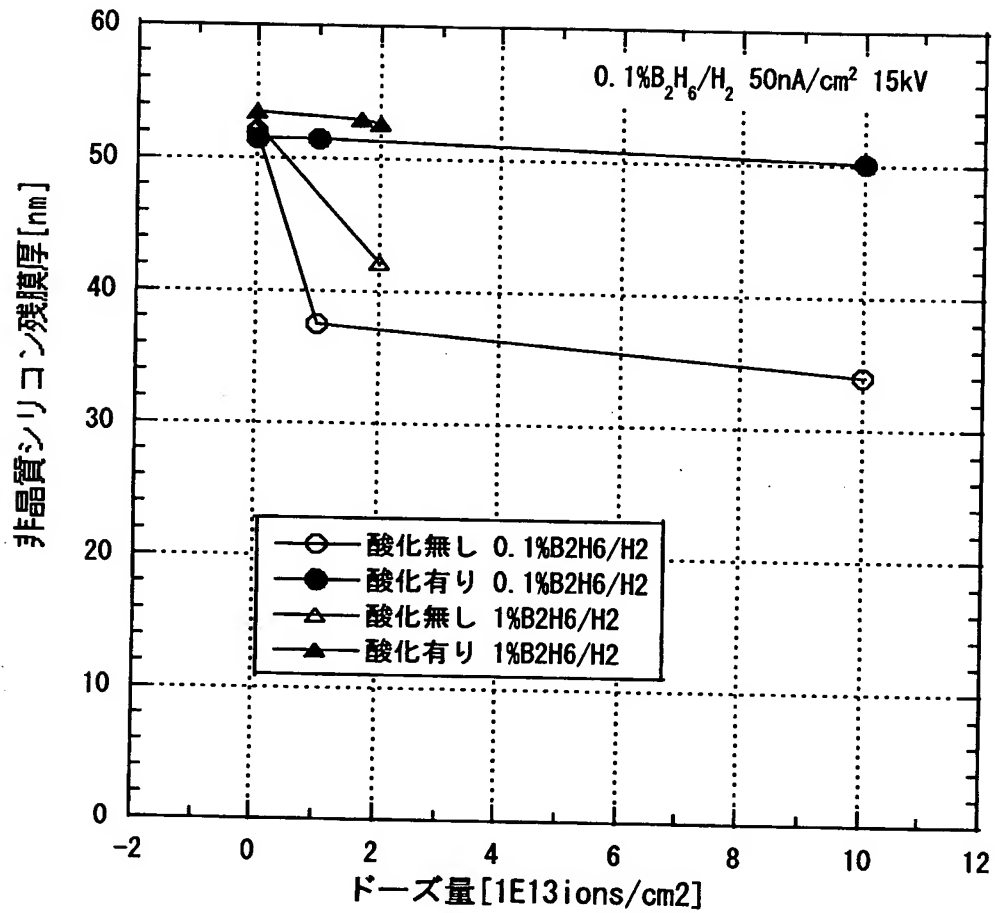
405 : 保持容量

406 : 駆動回路

407 : 画素領域

【書類名】 図面

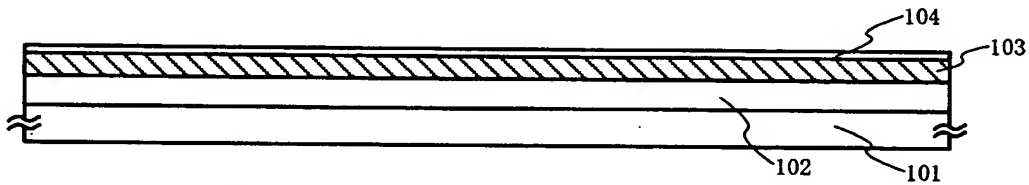
【図 1】



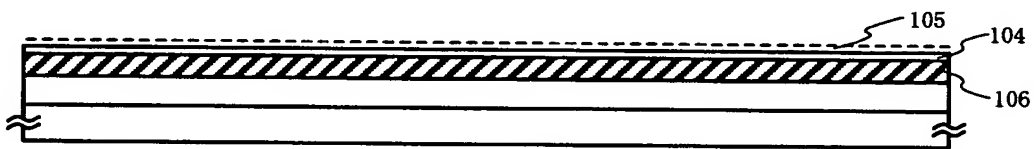


【図 2】

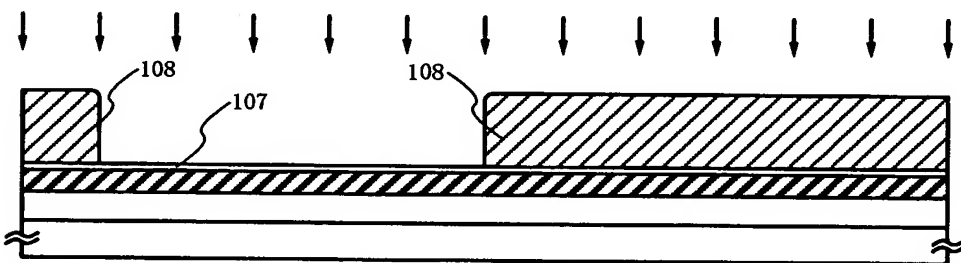
(A) 下地膜の堆積／非晶質シリコン膜の堆積／極薄シリコン酸化膜の成膜



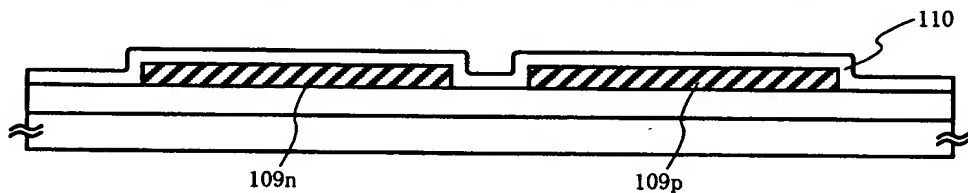
(B) 触媒元素の添加／熱結晶化（電熱炉＋レーザー照射）



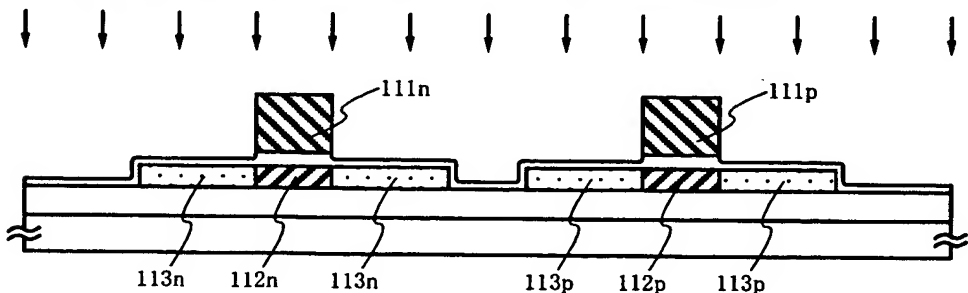
(C) チャネルドーピング前処理／レジストパターンの形成／チャネルドーピング



(D) レジストパターンの除去／半導体層の形成／ゲート絶縁膜の堆積

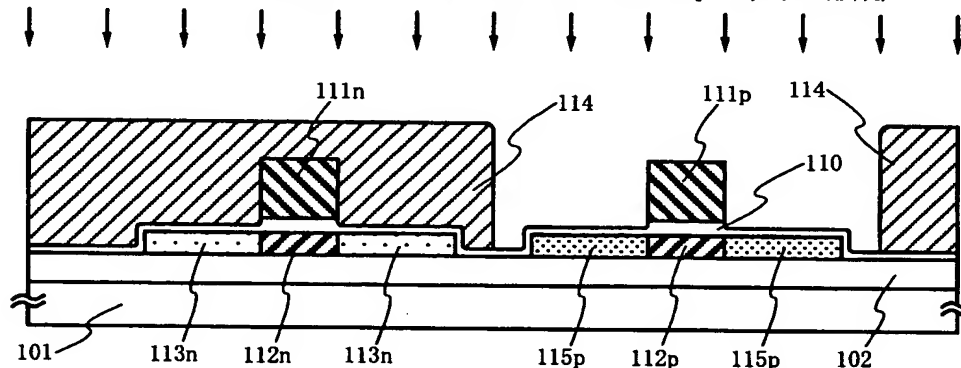


(E) ゲート電極の形成／n型不純物のイオン注入（n+領域の形成）

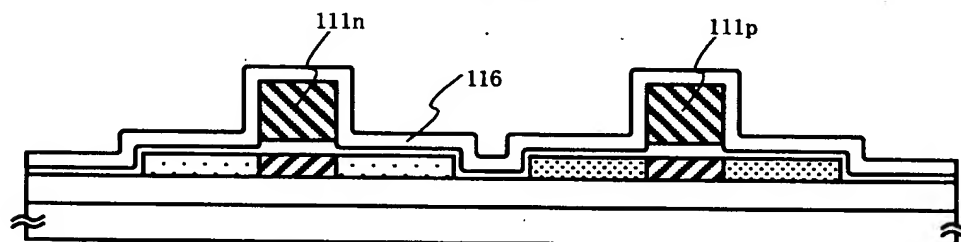


【図 3】

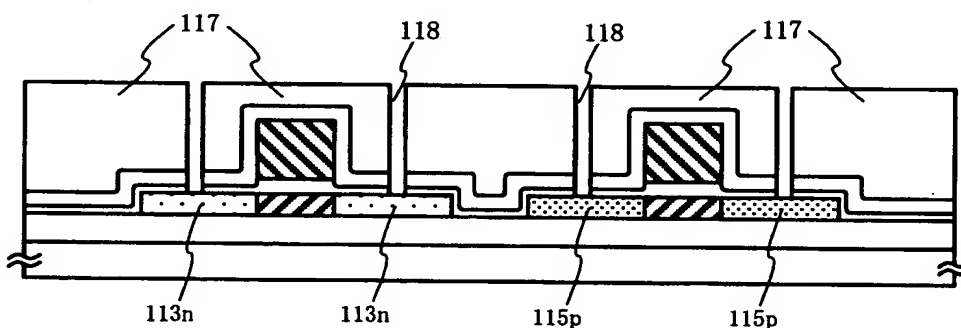
(A) レジストパターンの形成／p + 不純物のイオン注入 (p + 領域の形成)



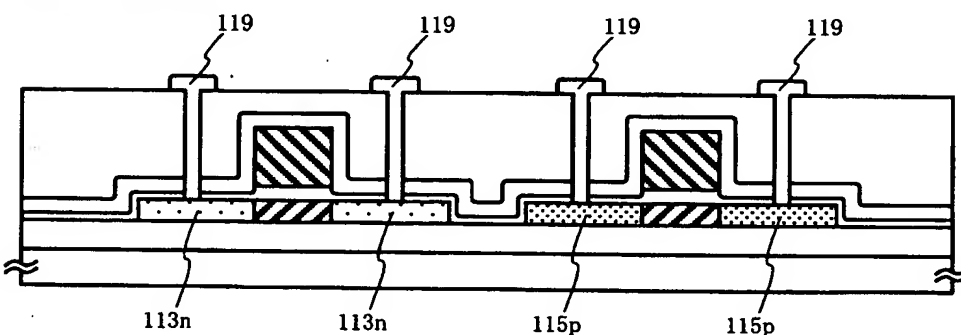
(B) レジストパターンの除去／第1層間絶縁膜の堆積／熱活性化処理



(C) 第2層間絶縁膜の成膜／コンタクトホール形成

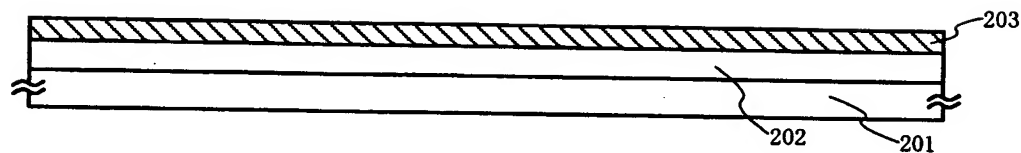


(D) 金属配線の形成

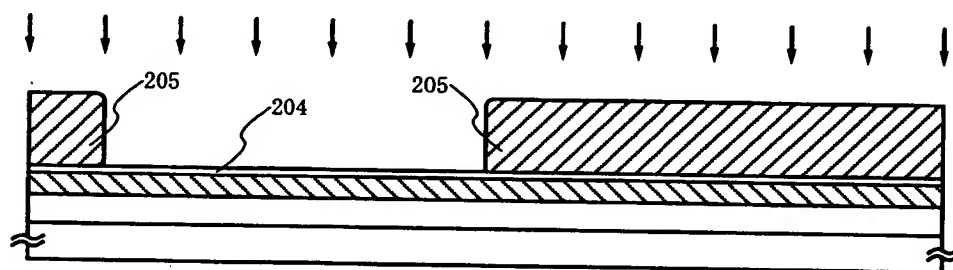


【図 4】

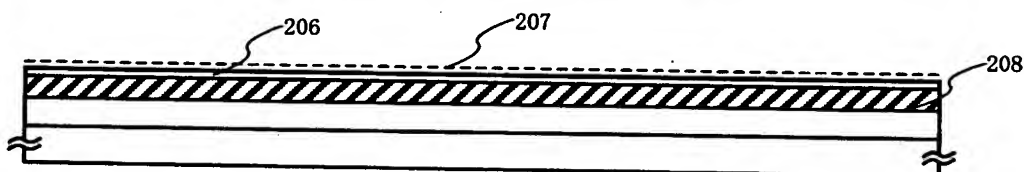
(A) 下地膜の堆積／非晶質シリコン膜の堆積



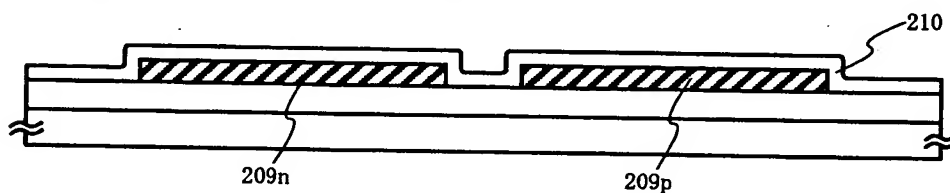
(B) チャネルドーピング前処理／レジストパターンの形成／チャネルドーピング



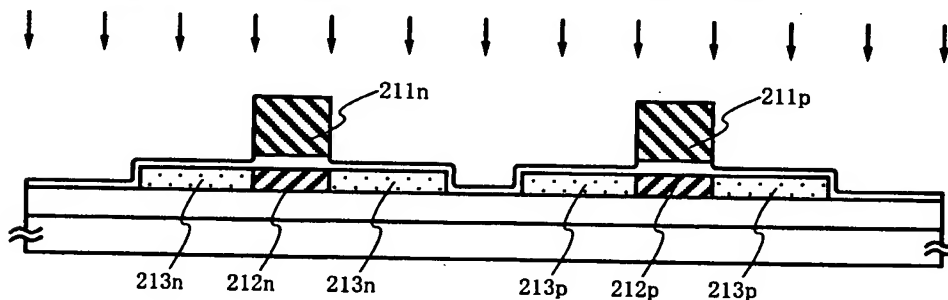
(C) レジストパターンの除去／触媒元素の添加／熱結晶化（電熱炉＋レーザー照射）



(D) 半導体層の形成／ゲート絶縁膜の堆積

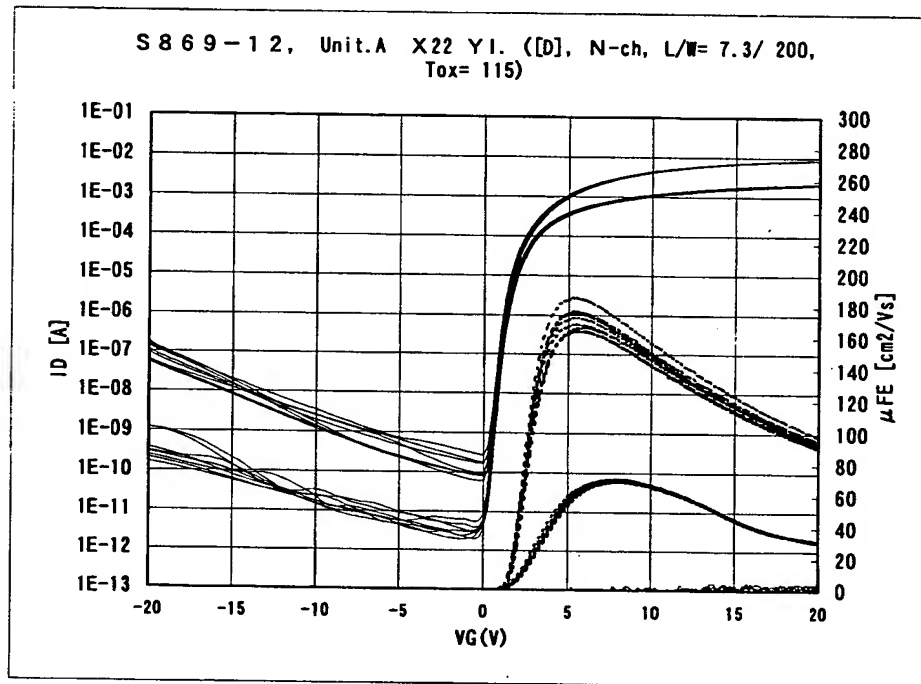


(E) ゲート電極の形成／n型不純物のイオン注入（n+領域の形成）

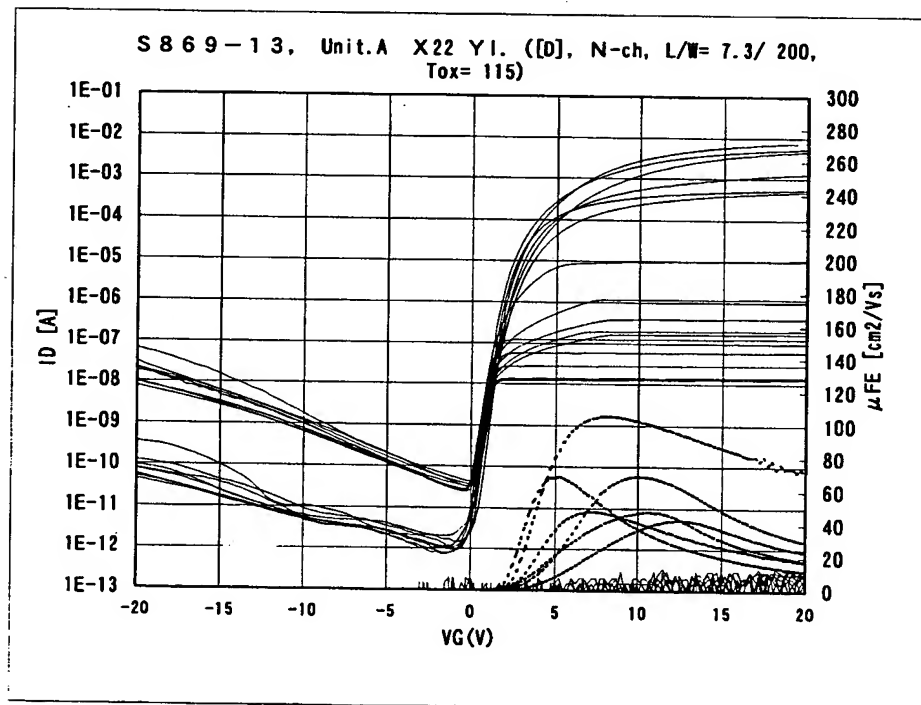


【図 5】

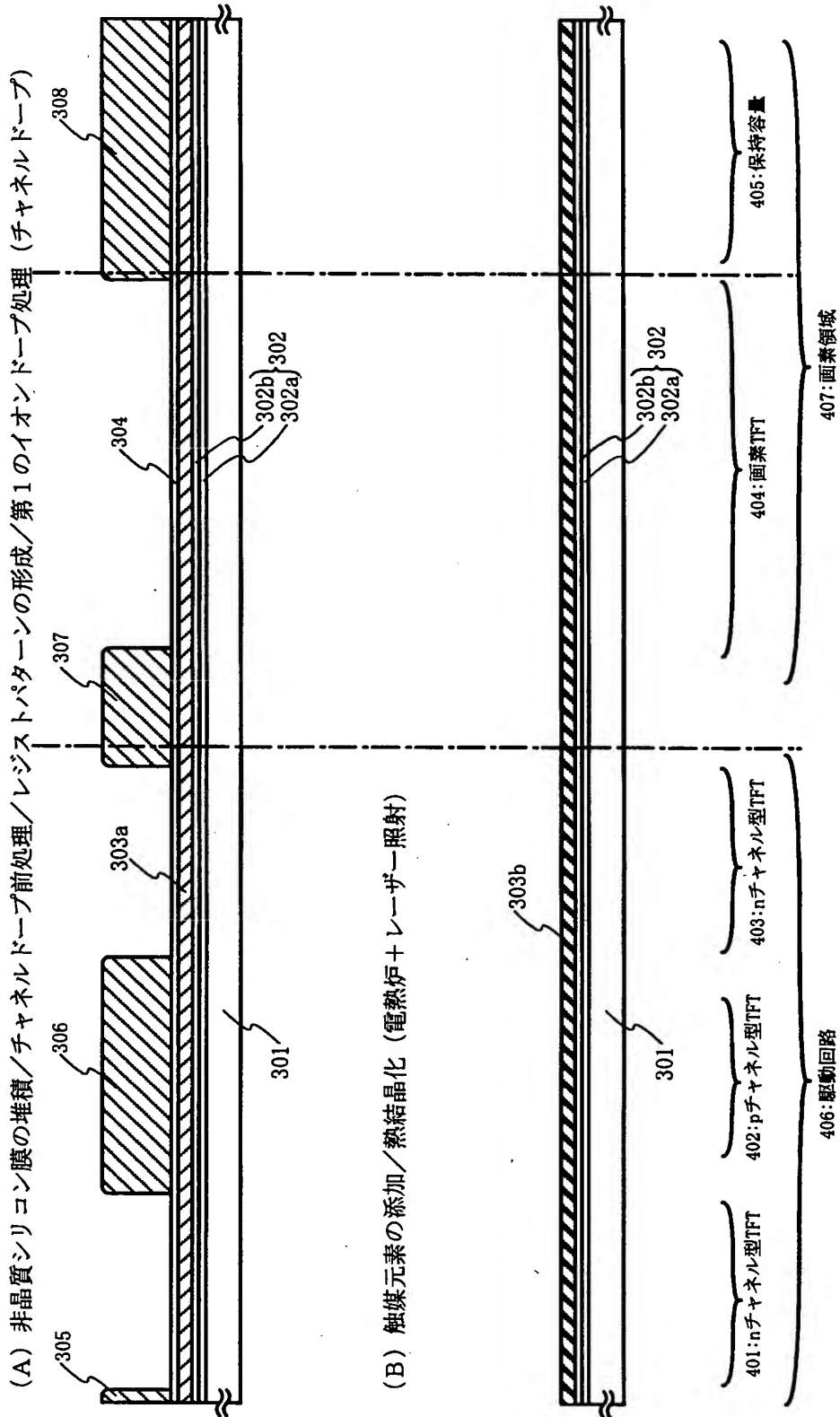
(A)



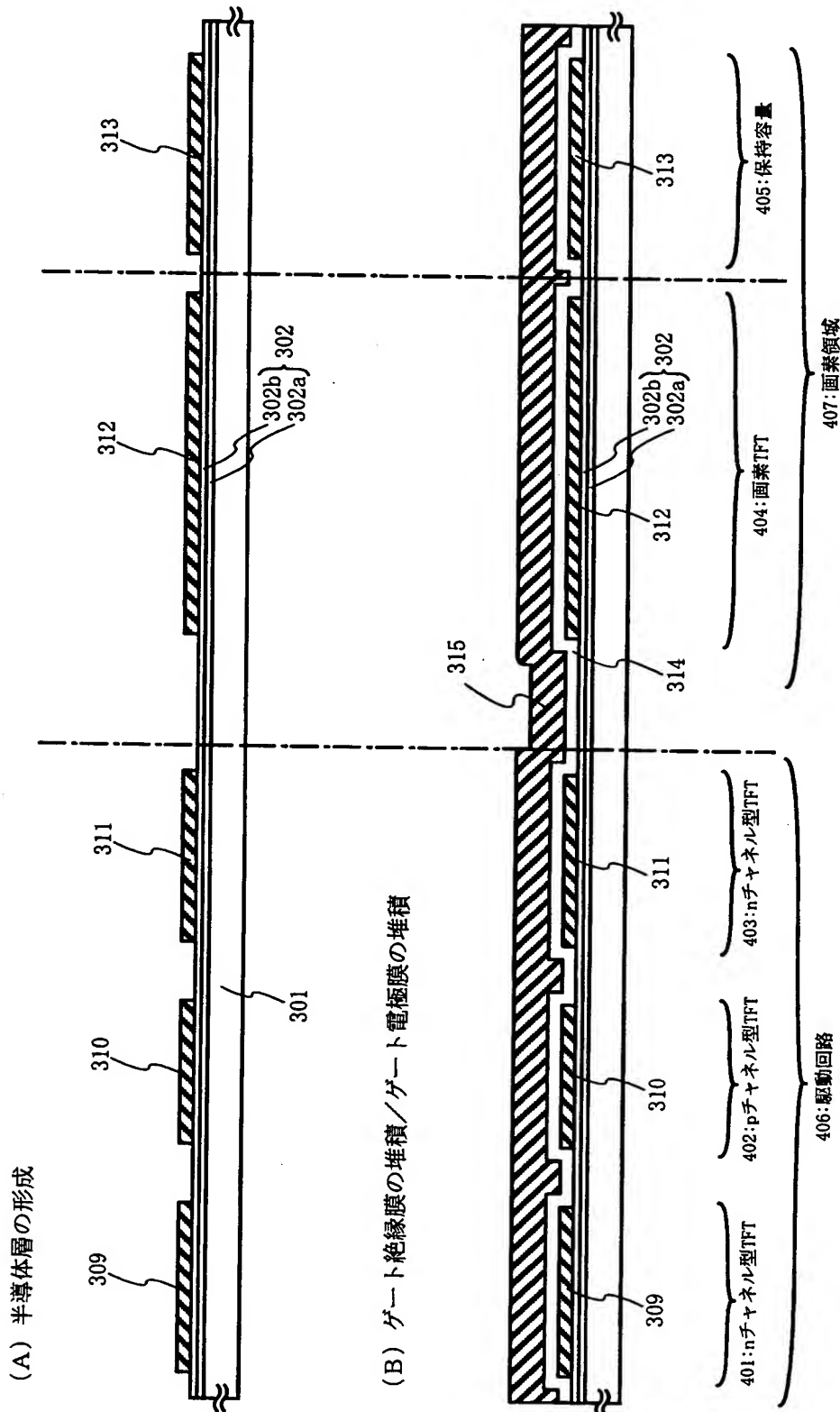
(B)



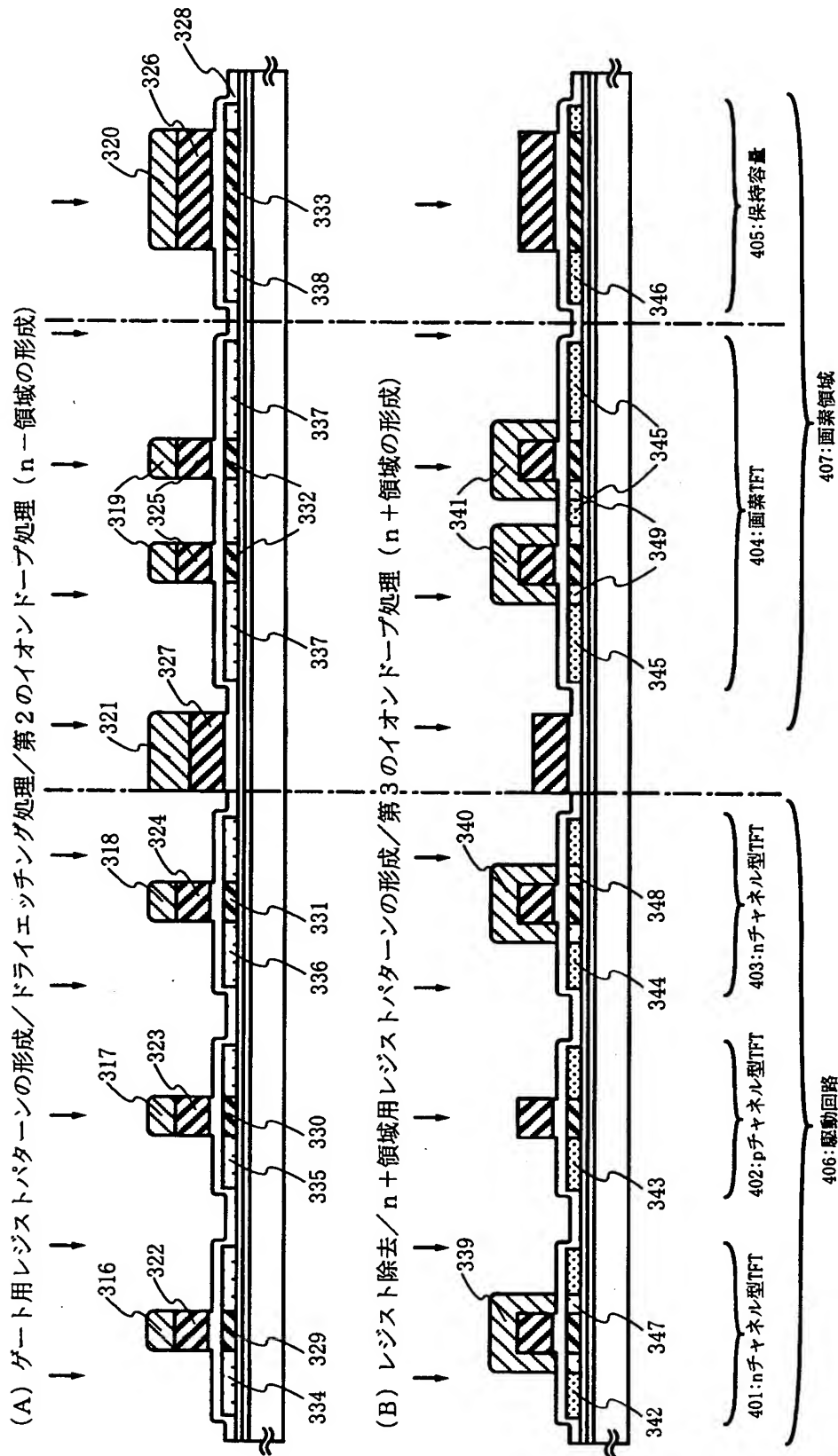
【図6】



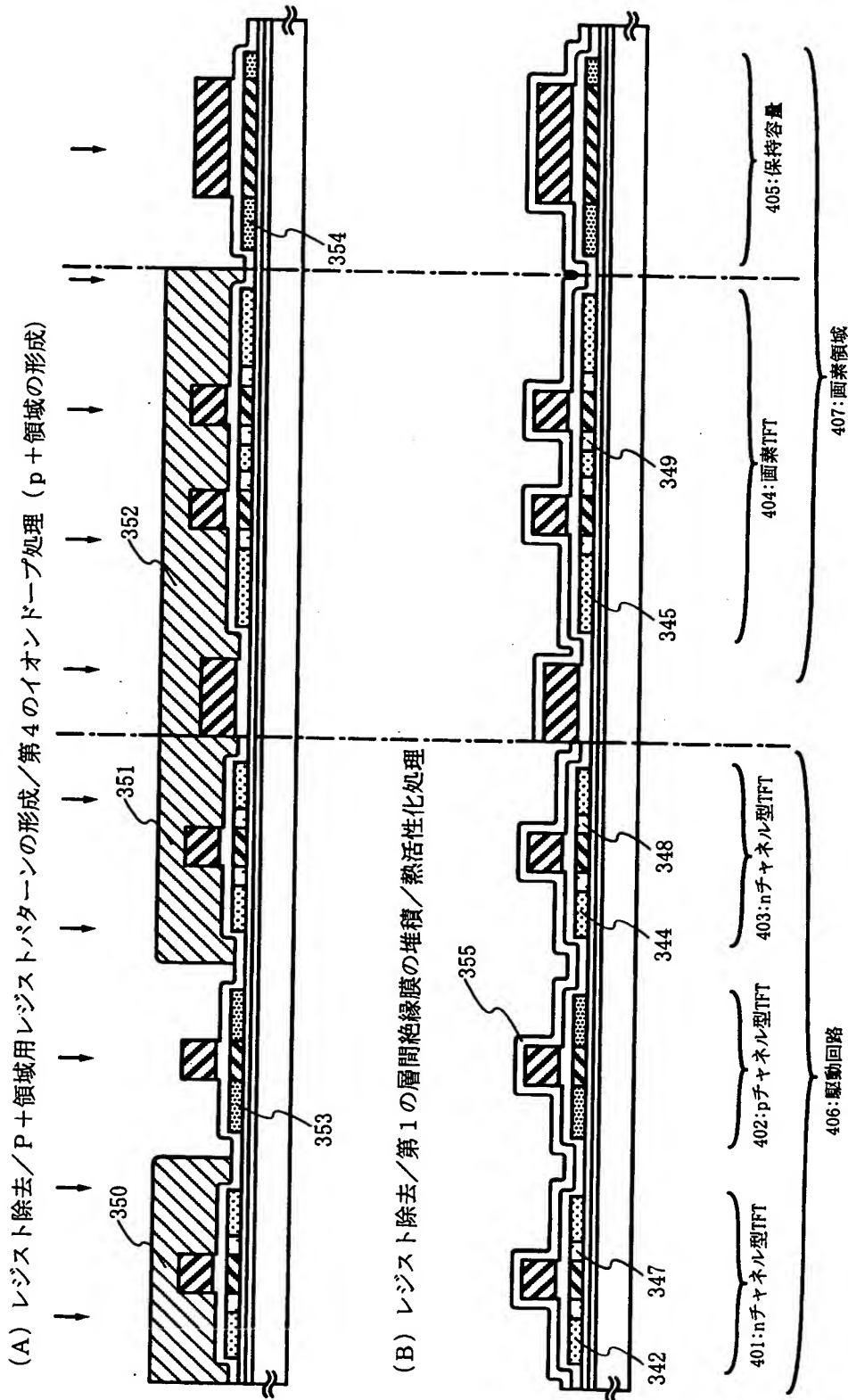
【図7】



【図 8】



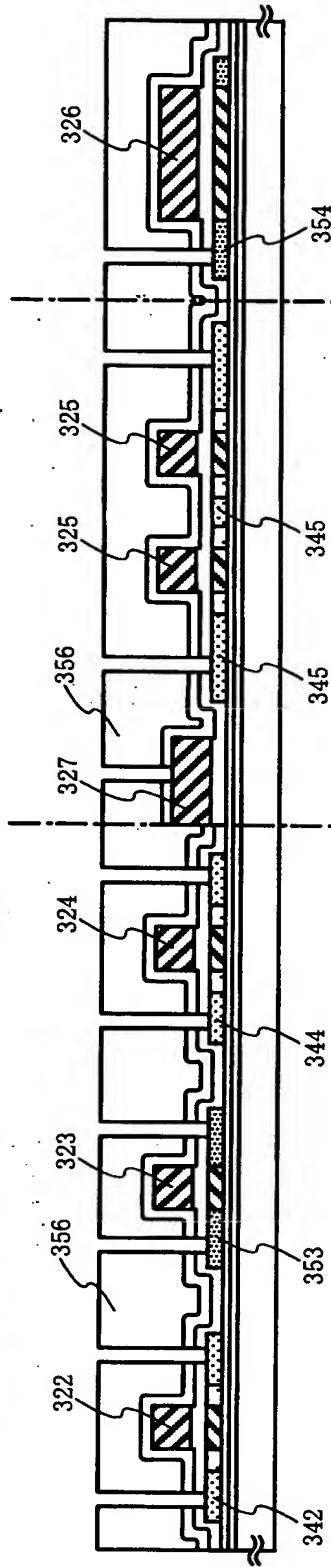
【図9】



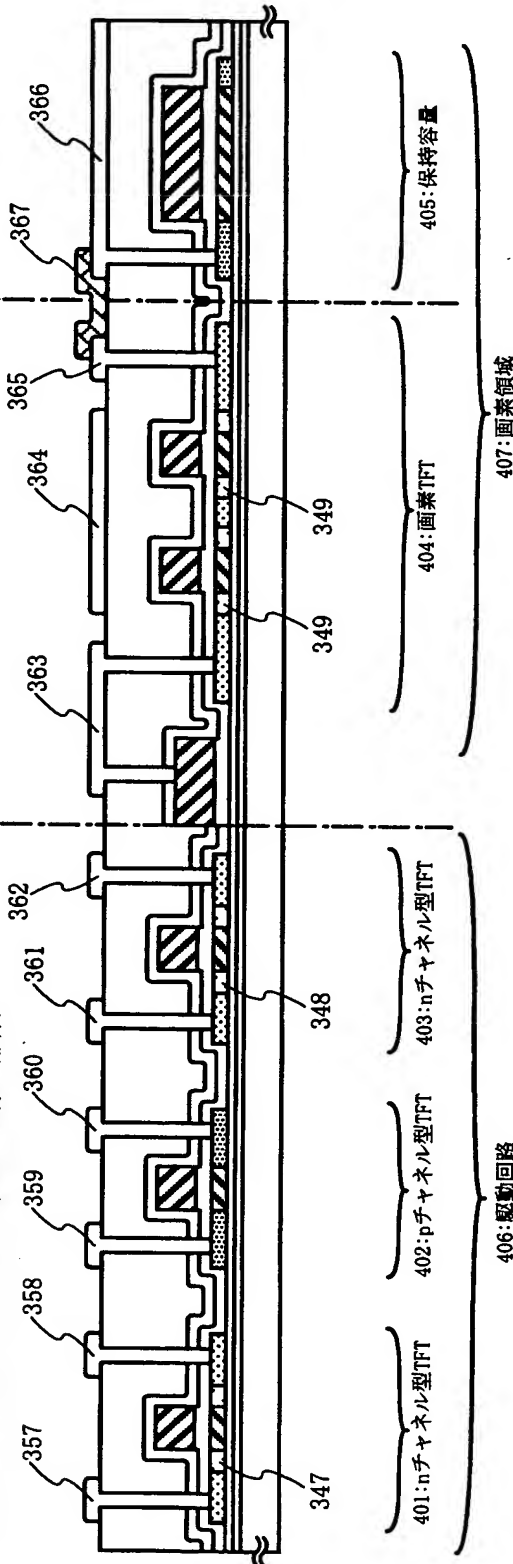


【図10】

(A) 第2の層間絶縁膜の成膜/コンタクトホール形成



(B) 金属配線の形成/透明導電膜配線の形成



405: 保持容量

404: 画素TFT

407: 画素領域

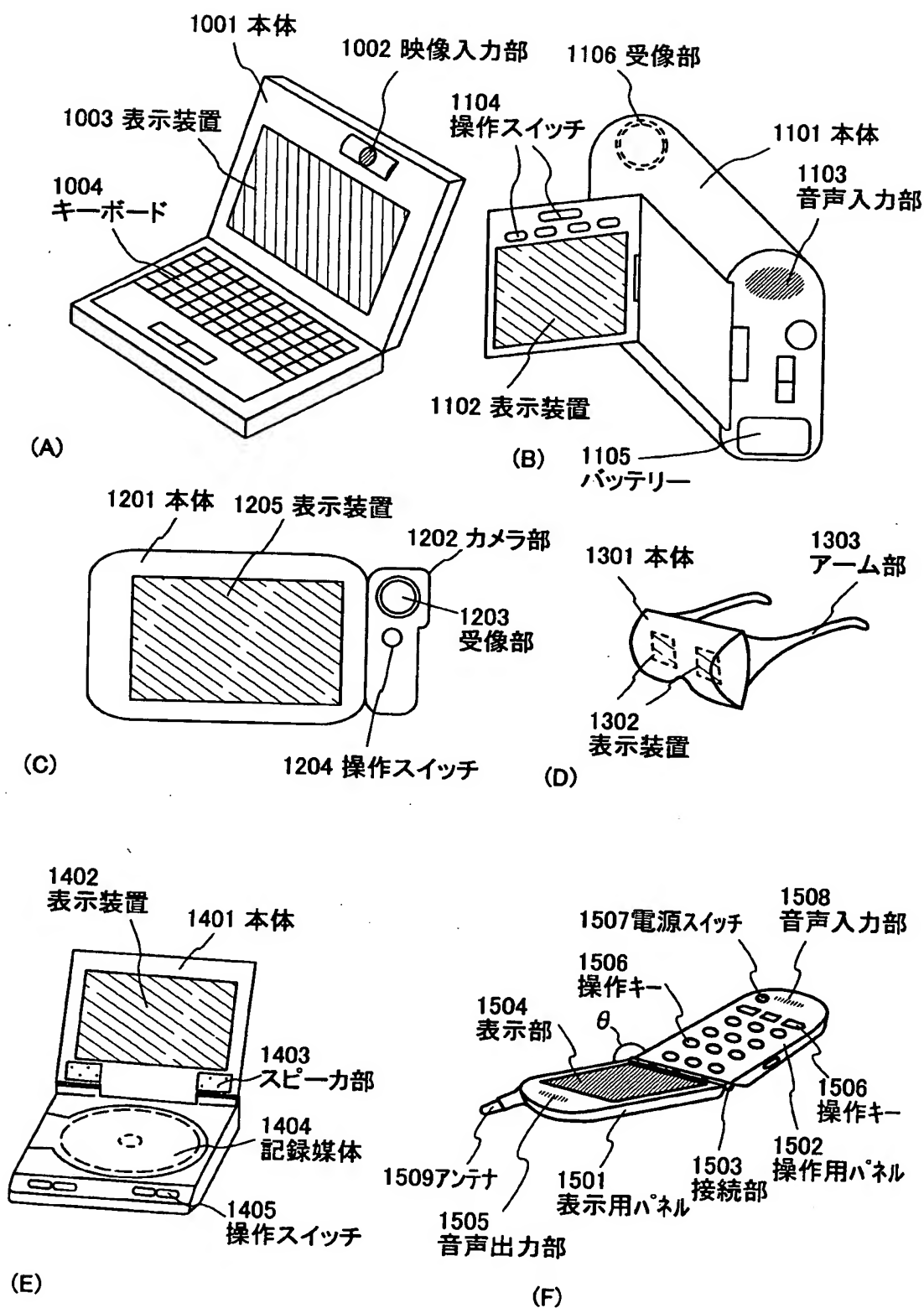
403: nチャネル型TFT

402: pチャネル型TFT

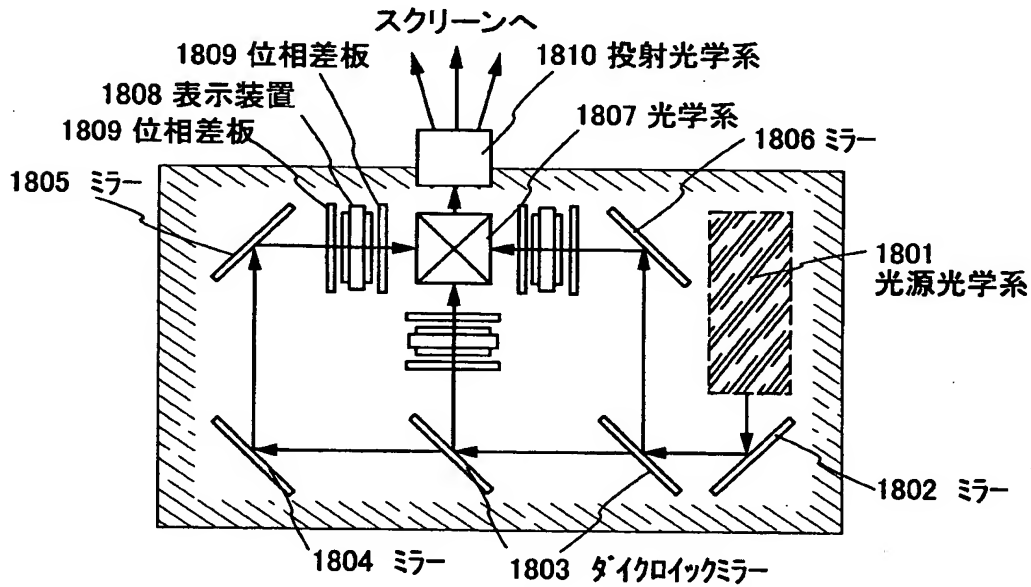
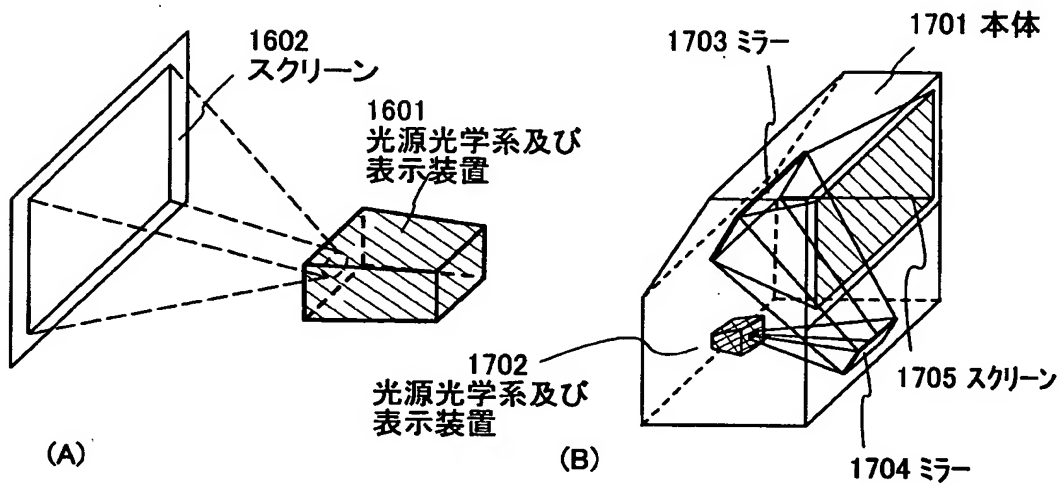
401: nチャネル型TFT

406: 駆動回路

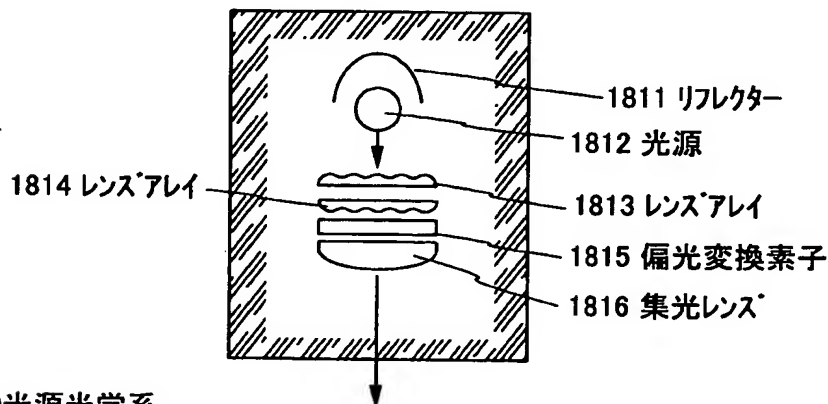
【図11】



【図 12】

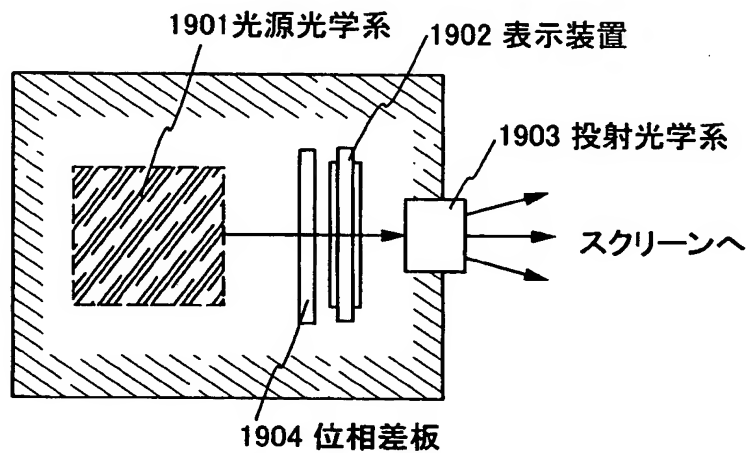


(C)光源光学系及び表示装置(三板式)

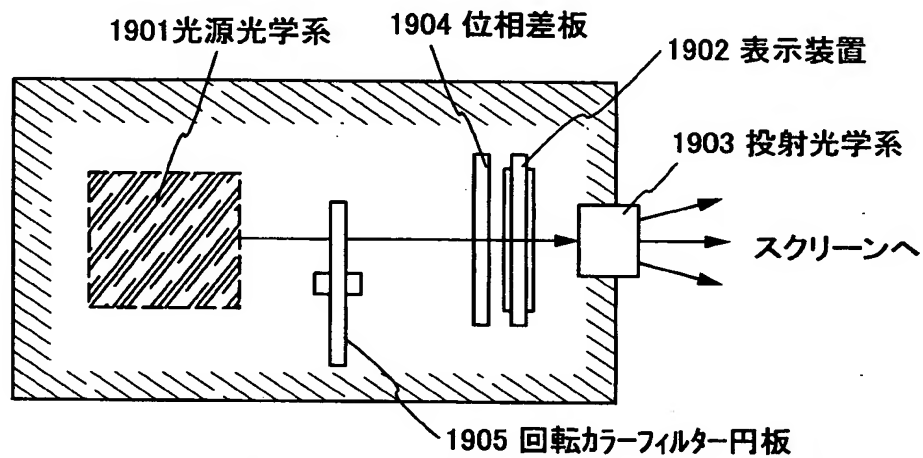


(D)光源光学系

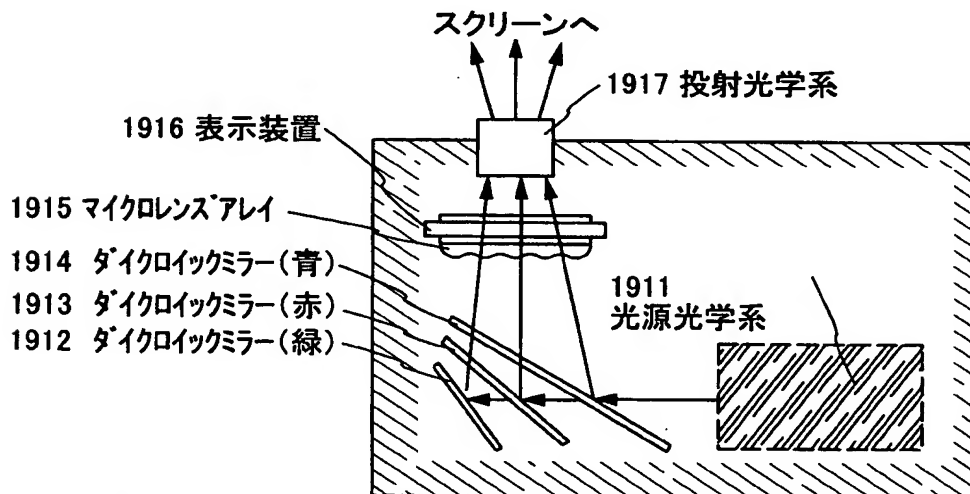
【図 13】



(A) 光源光学系及び表示装置(単板式)



(B) 光源光学系及び表示装置(単板式)



(C) 光源光学系及び表示装置(単板式)

【書類名】 要約書

【要約】

【課題】 チャネルドープ等のTFT活性層であるシリコン系薄膜へのドーピング工程に於いては、シリコン系薄膜の汚染及びエッチング防止の為、前処理として、CVD法による保護膜が適用されている。しかし、CVD法による保護膜の場合、スループット上の問題や生産コスト上の問題（装置価格が高価）が指摘されている。本発明は、上記問題を解決することを課題とする。

【解決手段】 シリコン系薄膜へのドーピング工程の前処理として、CVD法に代わって、シリコン系薄膜のケミカル酸化膜成膜工程を導入する。或いは、シリコン系薄膜表面の不飽和結合をSi-H結合より結合エネルギーの大きい元素（例えば、酸素等）で終端させる工程を導入する。前記前処理工程により、ドーピング工程に於ける水素イオンに起因したシリコン系薄膜のエッチングを対策できる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所